

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

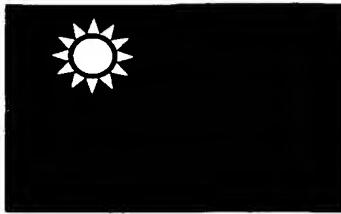
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



91182

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 11 月 29 日  
Application Date

申請案號：091134865  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 1 月 6 日  
Issue Date

發文字號：09220011500  
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	基板壓合製程與結構
	英 文	LAMINATION PROCESS AND STRUCTURE
二、 發明人	姓 名 (中文)	1. 何昆耀 2. 宮振越
	姓 名 (英文)	1. Kwun Yao Ho 2. Moriss KUNG
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 台北縣新店市中正路533號8樓 2. 台北縣新店市中正路533號8樓
三、 申請人	姓 名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓 名 (名稱) (英文)	1. VIA Technologies, Inc.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 臺北縣新店市中正路533號8樓
	代表人 姓 名 (中文)	1. 王雪紅
	代表人 姓 名 (英文)	1. Cher WANG



四、中文發明摘要 (發明之名稱：基板壓合製程與結構)

本發明揭露了一種基板壓合製程與結構。此基板壓合製程首先分別形成壓合層，接著再同時將其壓合以形成基板，其中每一壓合層均包含介層導電柱塞 (Via)、電路圖案 (Circuit Pattern) 及介電材料。此壓合層之介層導電柱塞與電路圖案可藉由蝕刻一包含一厚金屬層、一薄阻障層 (Barrier Metal Layer) 與一薄金屬層之結構而形成。亦可藉由沈積一金屬層於一包含一薄阻障層與一薄金屬層之結構並蝕刻薄金屬層而形成。另外，也可藉由沈積一金屬層於一包含一厚金屬層與一薄阻障層之結構，並蝕刻厚金屬層而形成。此外，還可藉由沈積兩金屬層於一薄阻障層之兩面上而形成。上述薄阻障層的功能為避免過蝕刻現象、金屬之間的導電橋樑以及上下金屬連接，因此與

英文發明摘要 (發明之名稱：LAMINATION PROCESS AND STRUCTURE)

A lamination process and structure are disclosed. The lamination process separately forms layers which comprise vias, circuit and dielectric, and simultaneously laminates the layers. The conducting parts in the layers are formed by pattern etching a composite structure with a thick metal layer, a thin barrier metal layer and a thin metal layer, wherein the thin barrier metal layer has a high etching selectivity comparing with the thick metal layer and the thin



四、中文發明摘要 (發明之名稱：基板壓合製程與結構)

其他金屬之間必須具有高蝕刻選擇性。

代表圖：第九 B圖與第九 D圖

代表號：902壓合層

904底層

906鐳墊開口層

907金屬層

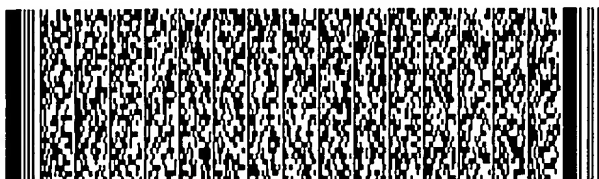
908壓合層

910壓合層

912核心基板

英文發明摘要 (發明之名稱：LAMINATION PROCESS AND STRUCTURE)

metal layer. The layers are also formed by depositing a patterned metal layer on a composite structure of a thin barrier metal layer covered thin metal layer, and a pattern etching treatment on the thin metal layer. Moreover, the parts are formed by depositing a patterned metal layer on a composite structure of with a thin barrier metal layer covered thick metal layer, and pattern etching the thick metal layer. The parts can also be formed by depositing two patterned metal



四、中文發明摘要 (發明之名稱：基板壓合製程與結構)

英文發明摘要 (發明之名稱：LAMINATION PROCESS AND STRUCTURE)

layers separately on two sides of a thin barrier metal layer.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

### 5-1發明領域：

本發明係關於一種基板壓合製程與結構，特別是一種覆晶封裝高密度基板之壓合製程與結構。

### 5-2發明背景：

傳統用於覆晶封裝製程之基板包含增層結構 (Buildup Structure) 與壓合結構 (Laminate Structure)。第一圖顯示一覆晶封裝結構。如第一圖所示，一高密度多層內連線結構 2 形成於一基底材料 (Base Material) 1 上。高密度多層內連線結構 2 與基底材料 1 構成覆晶封裝結構的基板。高密度多層內連線結構 2 與一覆置的晶片 7 藉由銲接凸塊 6 與銲墊 5 的銲接結合以形成覆晶封裝結構。多層內連線結構 2 包含一介電部份 3 與一電路部份 4。多層內連線結構 2 具有多層介電層與電路層，而這些多層介電層與電路層係由增層或壓合的方式形成。覆晶封裝基板具有由一層接著一層直接形成於一基底材料上而成之多層內連線結構者為增層基板。增層基板之一般基本結構係由直接形成多層內連線結構於一載台 / 核心基板 (Carrier Substrate/Core Substrate) 上而成，此載台基板為一印刷電路板。將多層內連線結構直接形成於載台基板上，此種增層基板結構具有精確的增層導線 / 間距及厚度控制、精準的阻抗控制與可直接將被動元件植入等優點。儘管如





## 五、發明說明 (2)

此，此種增層基板會因為基板尺寸的更動而調整每次增層製程，故而會造成增加製造成本及降低良率等缺點。此外，由於多層內連線結構係由連續之增層製程形成，使得產品生產週期太長且設備投資成本太高。

有鑑於上述傳統基板結構與製程的缺點，因此有必要發展出一種新穎進步的基板結構與製程以克服傳統基板結構與製程的缺點。而本發明正能符合這樣的需求。

### 5-3發明目的及概述：

本發明之一目的為提供一種低成本之高密度基板壓合製程與結構。

本發明之另一目的為提供一種產品生產週期短之高密度基板壓合製程與結構。

本發明之又一目的為提供一種具有較小凸塊間距之高密度基板壓合製程與結構。

本發明之另一目的為提供一種具有良好電性及熱性質之高密度基板壓合製程與結構。

本發明之另一目的為提供一種高良率之高密度基板壓



### 五、發明說明 (3)

合製程與結構。

為了達成上述之目的，本發明提供一種基板壓合製程，該基板壓合製程首先分別形成複數壓合層，其中每一該壓合層具有第一介層柱塞、電路與一第一介電樹脂，再形成一底層，其中該底層具有第二介層柱塞與一第二介電樹脂，最後壓合該底層與該壓合層。

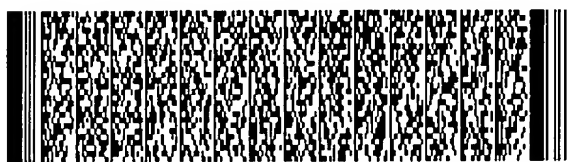
上述有關發明的簡單說明及以下的詳細說明僅為範例並非限制。其他不脫離本發明之精神的等效改變或修飾均應包含在的本發明的專利範圍之內。

#### 5-4 發明的詳細說明：

在此必須說明的是以下描述之製程步驟及結構並不包含完整之製程。本發明可以藉各種製程方法來實施，在此僅提及瞭解本發明所需之製程方法。

以下將根據本發明所附圖示做詳細的說明，請注意圖示均為簡單的形式且未依照比例描繪，而尺寸均被誇大以利於瞭解本發明。

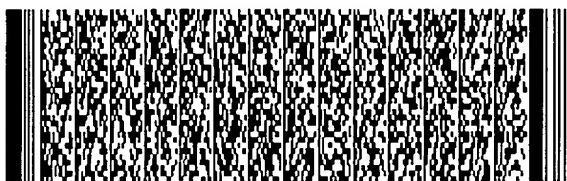
本發明之覆晶封裝基板係由多層包含一般層 (General Layer) 或壓合層、底層 (Bottom Layer) 及可



#### 五、發明說明 (4)

省略之鐳墊開口層 ( Pad Opening Layer) 同時壓合而成，其中一般層 ( General Layer) 或壓合層包含介層柱塞 ( Via) 、電路圖案 ( Circuit Pattern) 及介電材料。第二 A至二 H圖顯示一般層之第一實施例。第三 A至三 J圖顯示一般層之第二實施例。第四 A至四 H圖顯示一般層之第三實施例。第五 A至五 I圖顯示一般層之第四實施例。第六 A至六 H圖顯示一般層之第五實施例。第七 A至七 B圖顯示第五實施例另一種流程。第八 A至八 D圖顯示底層之實施例。第九 A至九 C圖顯示壓合製程之實施例。

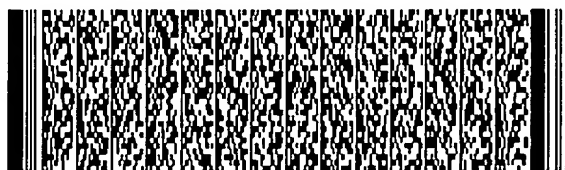
在本發明之第一與第二實施例中，此壓合層可藉由蝕刻一包含一厚金屬層、一薄阻障層 ( Barrier Metal Layer) 與一薄金屬層之結構而形成。參考第二 A圖所示，顯示一包含一厚金屬層 100、一薄金屬阻障層 102 ( Barrier Metal Layer) 與一薄金屬層 104之結構。金屬層 100係用於形成介層柱塞其厚度可為 50微米至 400微米，而金屬層 104係用於形成電路圖案其厚度可為 9微米至 35微米。金屬層 100與 104之材質可為銅，而金屬阻障層 102之材質可為鉻或鉛或銀或鎳或鋁或錫鉛合金。接著如第二 B圖所示，形成光阻層 106a與 106b於金屬層 100與金屬層 104上，且藉由曝光及顯影光阻層 106b被圖案化以形成電路圖案並暴露出金屬層 104。然後參考第二 C圖所示，金屬層 104被蝕刻以暴露出金屬阻障層 102並形成電路。接著參考第二 D圖所示，光阻層 106a與 106b被移除，而一介電層 108



#### 五、發明說明 (5)

形成於金屬層 104 上及金屬電路中間，介電層 108 之厚度並被薄化以暴露出金屬層 104。介電層 108 包含一半固化膜。介電層 108 之厚度係可選擇以研磨、電漿蝕刻與化學機械研磨薄化。接著參考第二 E 圖所示，一光阻層 112 形成於金屬層 100 上，光阻層 112 並被圖案化以形成介層柱塞圖案，且一介電層 110 形成於金屬層 104 及介電層 108 上，介電層 110 以一光阻層較佳。然後參考第二 F 圖所示，金屬層 100 被蝕刻以暴露出金屬阻障層 102 並形成介層柱塞。接著如第二 G 圖所示，暴露之金屬阻障層 102 被蝕刻以暴露出金屬層 104 與介電層 108。如第二 H 圖所示，光阻層 112 接著被移除，而一介電層 114 形成於介層柱塞之間。介電層 114 包含介電樹脂，例如熱塑型樹脂 (Thermal Plastic Resin) 與熱固型樹脂 (Thermal Setting Resin)。

參考第三 A 圖所示，顯示一包含一厚金屬層 200、一薄金屬阻障層 202 與一薄金屬層 204 之結構。金屬層 200 係用於形成介層柱塞其厚度可為 50 微米至 400 微米，而金屬層 204 係用於形成電路圖案其厚度可為 9 微米至 35 微米。金屬層 200 與 204 之材質可為銅，而金屬阻障層 202 之材質可為或鉛或銀或鋁或鎳或錫鉛合金。接著如第三 B 圖所示，一光阻層 206 形成於金屬層 200 與金屬層 204 上，藉由曝光及顯影光阻層 206 被圖案化以形成電路圖案並暴露出金屬層 200 與 204。然後參考第三 C 圖所示，一金屬層 208 形成於暴露之金屬層 200 與 204 上。金屬層 208 以電鍍法形成較佳



#### 五、發明說明 (6)

。接著參考第三 D圖所示，光阻層 206被移除而金屬層 204被蝕刻以暴露出金屬阻障層 202並形成電路。接著參考第三 E 圖所示，一介電層 210形成於金屬阻障層 202與金屬層 208上。介電層 210包含一半固化膜。然後參考第三 F 圖所示，介電層 210之厚度並被薄化以暴露出金屬層 208。介電層 210之厚度係以研磨、電漿蝕刻與化學機械研磨薄化。接著如第三 G 圖所示，金屬層 200被蝕刻以暴露出金屬阻障層 202並形成介層柱塞，而暴露之金屬阻障層 202接著被蝕刻移除。第三 G 圖同時顯示一介電層 212形成於介電層 210與金屬層 208上，介電層 212以一光阻層較佳。如第三 H 圖所示，一介電層 214形成於介層柱塞之間而介電層 212則被移除。介電層 214包含介電樹脂，例如熱塑型樹脂與熱固型樹脂。第三 I 圖至第三 J 圖顯示接續第三 E圖中所示製程之另一實施例。如第三 I 圖所示，介電層 212形成於介電層 210上，而金屬層 200被蝕刻以形成介層柱塞並暴露出金屬阻障層 202。暴露之金屬阻障層 202接著被移除。第三 J 圖顯示介電層 214形成於介層柱塞之間。最後結果如第三 H圖所示，介電層 214形成於介層柱塞之間而介電層 212則被移除。

在本發明之第三實施例中，此壓合層之介層柱塞係由沈積的方式形成，而電路則藉由蝕刻一包含一薄金屬阻障層與一薄金屬層之結構而形成。參考第四 A圖所示，顯示一包含一薄金屬阻障層 402與一薄金屬層 404之結構。金屬



#### 五、發明說明 (7)

層 400 用於形成電路圖其厚度可為 9 微米至 35 微米。金屬層 400 之材質可為銅，而金屬阻障層 402 之材質可為鉻或鎳或鉛或鋁或錫鉛合金或銀。接著如第四 B 圖所示，一光阻層 404 形成於金屬層 400 與金屬層 402 上，藉由曝光及顯影光阻層 404 被圖案化以形成介層柱塞圖案並暴露出金屬層 402。然後參考第四 C 圖所示，一金屬層 406 形成於金屬層 402 之上以及介層柱塞圖案之間並形成柱塞。金屬層 406 以電鍍法形成較佳。接著參考第四 D 圖所示，光阻層 404 被移除，而一介電層 408 形成於金屬層 402 之上以及金屬層 406 之間。介電層 408 包含一半固化膜。接著參考第四 E 圖所示，一保護膜 410 形成於金屬層 406 與介電層 408 上。然後參考第四 F 圖所示，金屬層 400 之厚度被薄化。接著如第四 G 圖所示，一光阻層 412 形成於金屬層 400 上，並藉由曝光及顯影光阻層 412 被圖案化以形成電路圖案並暴露出金屬層 400。如第四 H 圖所示，暴露之金屬層 400 與金屬層 402 被蝕刻以形成電路，而一介電層 414 形成於電路之間。介電層 414 包含介電樹脂，例如熱塑型樹脂與熱固型樹脂。最後如第四 I 圖所示，而光阻層 412 與保護膜 410 則被移除，介電層 414 被平坦化。

在本發明之第四實施例中，壓合層之介層柱塞係由藉由蝕刻一包含一薄金屬阻障層與一厚金屬層之結構而形成，而電路則由沈積的方式形成。參考第五 A 圖所示，顯示一包含一薄金屬阻障層 502 與一厚金屬層 500 之結構。金屬



#### 五、發明說明 (8)

層 500係用於形成介層柱塞其厚度可為 50微米至 750微米。金屬層 500之材質可為銅，而金屬阻障層 502之材質可為鉻或鎳或鉛或鋁或錫鉛合金或銀。接著如第五 B圖所示，一光阻層 504形成於金屬層 500與金屬層 502上，藉由曝光及顯影光阻層 504被圖案化以形成電路圖案並暴露出金屬層 502。然後參考第五 C 圖所示，一金屬層 506形成於金屬層 502之上以及電路圖案之間並形成電路。金屬層 506以電鍍法形成較佳。接著參考第五 D圖所示，光阻層 504被移除，而一介電層 508形成於電路以及金屬層 502之上。接著參考第五 E 圖所示，一介電層 508之厚度被薄化以暴露出金屬層 506，而一光阻層 510則形成，並藉由曝光及顯影以圖案化光阻層 510以暴露出金屬層 500。然後參考第五 F圖所示，暴露之金屬層 500與金屬層 502被蝕刻以形成介層柱塞並暴露出介電層 508與金屬層 506。最後如第五 G 圖所示，光阻層 510被移除而一介電層 512形成於介層柱塞之間。介電層 512包含介電樹脂，例如熱塑型樹脂與熱固型樹脂。

在本發明之第五實施例中，壓合層之介層柱塞與電路係由藉由沈積的方式形成於一薄金屬阻障層上。參考第六 A圖所示，顯示一具有一感光介電層 602與一光阻層 604分別形成於其兩面之薄金屬阻障層 600。金屬阻障層 600之材質可為鉻或鎳或鉛或錫鉛合金或銀或鋁。接著如第六 B圖所示，光阻層 604與感光介電層 602被圖案化以形成電路與介層柱塞圖案並暴露出金屬阻障層 600。光阻層 604係藉由



#### 五、發明說明 (9)

曝光及顯影而圖案化，而感光介電層 602 藉由曝光、顯影及固化 (Curing) 而圖案化。然後參考第六 C 圖所示，一金屬層 606 形成於金屬阻障層 600 上以及電路與介層柱塞圖案之間，且一表面薄金屬層 608 則形成於金屬層 606 上。金屬層 606 以電鍍法形成較佳，而表面薄金屬層 608 以電鍍法 (Plating) 或無電電鍍法形成較佳。金屬層 608 的目的為促進金屬結合能力。接著參考第六 D 圖所示，光阻層 604 被移除，而暴露之金屬阻障層 600 則被蝕刻以暴露出感光介電層 602 與金屬層 606。接著參考第六 E 圖所示，一介電層 610 形成於感光介電層 602 與金屬層 606 上。介電層 610 包含介電樹脂，例如熱塑型樹脂與熱固型樹脂。第七 A 圖至第七 B 圖顯示第六 A 圖至第六 B 圖中所示製程之另一實施例。如第七 A 圖所示，顯示一具有一熱介電層 702 與一光阻層 704 分別形成於其兩面之薄金屬阻障層 700。接著如第七 B 圖所示，熱介電層 702 與光阻層 704 被圖案化以形成電路與介層柱塞圖案並暴露出金屬阻障層 700。光阻層 704 藉由曝光及顯影而圖案化，熱介電層 702 則藉由雷射鑿孔 (Laser Drilling) 而圖案化。熱介電層 702 接著再以電漿蝕刻進一步清潔。然後如第六 C 圖所示，一金屬層 606 形成於金屬阻障層上以及電路與介層柱塞圖案之間，且一表面薄金屬層 608 則形成於金屬層 606 上。

第八 A 至八 D 圖顯示底層之實施例。參考第八 A 圖所示，顯示一包含一厚金屬層 800、一薄金屬阻障層 802 與一薄

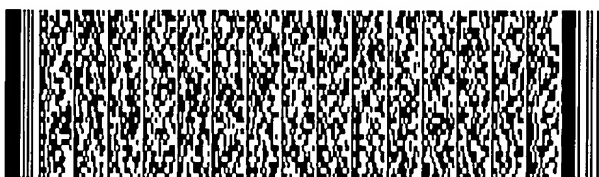




##### 五、發明說明 (10)

金屬層 804 之結構。接著如第八 B 圖所示，金屬層 800 藉由微影與蝕刻製程蝕刻以暴露出金屬阻障層 802 以形成介層柱塞。然後參考第八 C 圖所示，一介電層 806 形成於金屬阻障層 802 上及介層柱塞之間，而一保護膜 808 則形成於介層柱塞上與介電層 806 上。接著參考第八 D 圖所示，金屬層 804 與金屬阻障層 802 接著被依序蝕刻，而保護膜 808 接著被移除以形成底層。

第九 A 至九 C 圖顯示壓合製程之實施例。參考第九 A 圖所示，具有介層柱塞、電路及介電層之壓合層 902 與一底層 904 及兩鐳墊開口層 (Pad Opening Layer) 906 於壓合前對準堆疊。鐳墊開口層 906 係為介電層或防鐳膜，鐳墊開口層 906 亦可省略。第九 B 圖顯示將上述壓合層 902 與底層 904 及鐳墊開口層 906 同時壓合的結果。除了上述以壓合層為主體的壓合製程與基板結構之外，第九 C 圖顯示將以前述實施例形成之兩種壓合層 908 與 910 及一核心基板 (Core Substrate) 912 於壓合前對準堆疊，接著將壓合層與核心基板壓合而形成覆晶封裝基板，其中該些壓合層可壓合於核心基板的單面或雙面上。壓合的結果如第九 D 圖所示。壓合層 908 與 910 亦可與多層 (片) 核心基板對準堆疊壓合而形成覆晶封裝基板。為了使不同壓合層之介層柱塞與電路結合效果更良好，可於介層柱塞上形成一金屬層 907。金屬層 907 包含鐳料 (Solder) 或鎳金合金或合併鐳料與鎳金合金。此外，上述的任一種覆晶封裝基板可與一

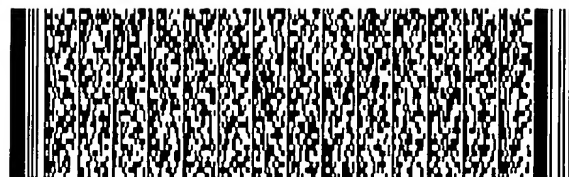
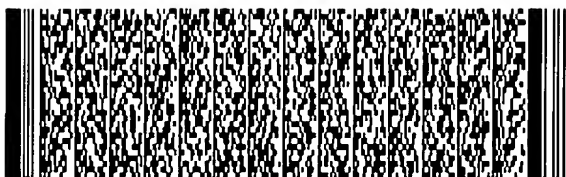


#### 五、發明說明 (11)

散熱片 (Heat Sink) 914結合，如第九 E圖所示。散熱片 914可容納一晶片 916。

本發明提供了一種利用同時壓合的方式形成之高密度基板/印刷電路板。每一壓合用的單層包含介層柱塞、電路及介電層，其他用作壓合的尚有底層與鐳墊開口層。單壓合層之電路與介層柱塞可利用蝕刻及沈積配合的方式形成，亦可為純蝕刻形成或純沈積形成。基板結構中之介層柱塞、電路上亦可形成一薄金屬層。將具有高密度精細電路之單層分別形成後再結合可使製程處理更容易。此外，基板結構的單層與單層之介層柱塞堆疊可提升基板的電性與熱性質。基板的鐳墊或鐳接凸塊間距也可因頂部或底部鐳墊直接形成於單層內而縮小。由於不使用連續增層的製程，基板的生產良率可因此提高。由於使用現有的製程與設備，基板的生產成本可因此降低。最後由於所有單層均為分別形成並同時壓合，基板的產出率將提高而生產週期將縮短。

上述有關發明的詳細說明僅為範例並非限制。其他不脫離本發明之精神的等效改變或修飾均應包含在的本發明的專利範圍之內。



#### 圖式簡單說明

為了能讓本發明上述之其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第一圖顯示一覆晶封裝結構；

第二 A圖顯示一包含一厚金屬層、一薄金屬阻障層與一薄金屬層之結構；

第二 B圖顯示形成第一光阻層於第一金屬層與第二金屬層上，且形成電路圖案的结果；

第二 C 圖顯示蝕刻第一金屬層以暴露出金屬阻障層並形成電路的结果；

第二 D圖顯示移除第一光阻層、形成一第一介電層於第一金屬層間、及薄化該介電層之厚度以暴露出第一金屬層的结果；

第二 E 圖顯示分別形成第二與第三光阻層於第一與第二金屬層上且圖案化該第三光阻層以形成介層柱塞圖案的结果；

第二 F 圖顯示蝕刻第二金屬層以暴露出金屬阻障層並



#### 圖式簡單說明

形成介層柱塞的結果；

第二 G圖顯示蝕刻金屬阻障層以暴露出第一金屬層與第一介電層的結果；

第二 H圖顯示移除第二與第三光阻層並形成一第二介電層於介層柱塞之間的結果；

第三 A圖顯示一包含一厚金屬層、一薄金屬阻障層與一薄金屬層之結構；

第三 B圖顯示分別形成第一與第二光阻層於厚金屬層與薄金屬層上，圖案化第一與第二光阻層以形成電路圖案並暴露出厚金屬層與薄金屬層的結果；

第三 C 圖顯示形成一金屬層於暴露之厚金屬層與薄金屬層上的結果；

第三 D圖顯示移除第一與第二光阻層、蝕刻薄金屬層以暴露出金屬阻障層並形成電路的結果；

第三 E圖顯示形成一第一介電層於金屬阻障層上與電路間的結果；



#### 圖式簡單說明

第三 F圖 顯示薄化第一介電層之厚度以暴露出薄金屬層的結果；

第三 G圖 顯示蝕刻厚金屬層以形成介層柱塞、移除暴露之金屬阻障層的結果；

第三 H圖 顯示形成一第二介電層於介層柱塞之間的結果；

第三 I 圖 顯示接續第三 E圖所示製程的另一實施例；

第三 J圖 顯示接續第三 E圖所示製程的另一實施例；

第四 A圖 顯示一包含一薄金屬阻障層與一薄金屬層之結構；

第四 B圖 顯示形成一光阻層於薄金屬阻障層上、形成介層柱塞圖案的結果；

第四 C 圖 顯示形成一金屬層於薄金屬阻障層之上以形成介層柱塞的結果；

第四 D圖 顯示移除光阻層、形成一介電層於薄金屬阻障層之上以及介層柱塞之間的結果；



## 圖式簡單說明

第四 E 圖顯示形成一保護膜於介層柱塞與介電層上的結果；

第四 F 圖顯示薄化薄金屬層厚度的結果；

第四 G 圖顯示形成一光阻層於薄金屬層、形成電路圖案的結果；

第四 H 圖顯示蝕刻暴露之薄金屬層以形成電路、形成一介電層於電路之間的結果；

第四 I 圖顯示移除光阻層與保護膜的結果；

第五 A 圖顯示一包含一金屬阻障層與一厚金屬層之結構；

第五 B 圖顯示形成一光阻層於金屬阻障層與厚金屬層金屬層上、並形成電路圖案的結果；

第五 C 圖顯示形成電路於金屬阻障層上的結果；

第五 D 圖顯示移除光阻層、形成一介電層於電路以及金屬阻障層之上的結果；



## 圖式簡單說明

第五 E 圖顯示薄化介電層厚度以暴露出電路並形成一介層柱塞圖案的结果；

第五 F 圖顯示蝕刻暴露之厚金屬層以形成介層柱塞的结果；

第五 G 圖顯示移除光阻層並形成一介電層於介層柱塞之間的結果；

第六 A 圖顯示一具有一感光介電層與一光阻層分別形成於其兩面之金屬阻障層；

第六 B 圖顯示圖案化感光介電層與光阻層以形成電路圖案與介層柱塞圖案並暴露出金屬阻障層的结果；

第六 C 圖顯示形成電路與介層柱塞於金屬阻障層上、並形成一表面薄金屬層則於電路與介層柱塞上的結果；

第六 D 圖顯示移除光阻層、蝕刻暴露之金屬阻障層以暴露出感光介電層的结果；

第六 E 圖顯示形成一介電層於感光介電層與電路上的結果；



## 圖式簡單說明

第七 A圖 顯示第六 A圖至第六 B圖所示的的另一實施例

；

第七 B 圖 顯示第六 A圖至第六 B圖所示的的另一實施例

；

第八 A圖 顯示一包含一厚金屬層、一金屬阻障層與一薄金屬層之結構；

第八 B圖 顯示形成介層柱塞的結果；

第八 C 圖 顯示形成一介電層於金屬阻障層上及介層柱塞之間、形成一保護膜於介層柱塞上與介電層上的結果；

第八 D圖 顯示依序蝕刻薄金屬層與金屬阻障層、移除保護膜以形成底層的結果；

第九 A圖 顯示具有介層柱塞、電路及介電層之壓合層與一底層及兩鐸墊開口層於壓合前對準堆疊；

第九 B圖 顯示將壓合層與底層及鐸墊開口層同時壓合的結果；





圖式簡單說明

第九 C圖 顯示將壓合層與一核心基板於壓合前對準堆疊；

第九 D圖 顯示壓合層與核心基板壓合的結果；及

第九 E圖 顯示覆晶封裝基板與散熱片結合的結果。

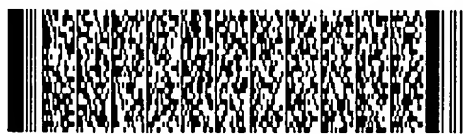
主要部分之代表符號：

- 1 基底材料
- 2 高密度多層內連線結構
- 3 介電部份
- 4 電路部份
- 5 鐳墊
- 6 鐳接凸塊
- 7 晶片
- 100 金屬層
- 102 金屬阻障層
- 104 金屬層
- 106a 光阻層
- 106b 光阻層
- 108 介電層
- 110 介電層
- 112 光阻層
- 114 介電層



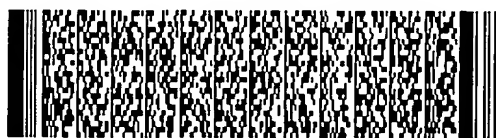
圖式簡單說明

200金屬層  
202金屬阻障層  
204金屬層  
206光阻層  
208金屬層  
210介電層  
212介電層  
214介電層  
402金屬阻障層  
404金屬層  
406金屬層  
408介電層  
410保護膜  
412光阻層  
414介電層  
500金屬層  
502金屬阻障層  
504光阻層  
506金屬層  
508介電層  
510光阻層  
512介電層  
600金屬阻障層  
602感光介電層



圖式簡單說明

604光阻層  
606金屬層  
608表面薄金屬層  
610介電層  
700金屬阻障層  
702熱介電層  
704光阻層分別  
800金屬層  
802金屬阻障層  
804金屬層  
806介電層  
808保護膜  
902壓合層  
904底層  
906鐳墊開口層  
907金屬層  
908壓合層  
910壓合層  
912核心基板  
914散熱片  
916晶片



## 六、申請專利範圍

1. 一種基板壓合製程，該基板壓合製程包含：

形成複數壓合層，其中每一該壓合層係以一第一製程形成，該第一製程包含以下步驟：

提供一位於一第二金屬層上之第一金屬阻障層與一位於該第一金屬阻障層上之第一金屬層；

形成一第一光阻層於該第二金屬層上；

轉移一電路圖案至該第一光阻層並曝露出該第二金屬層；

蝕刻該第二金屬層以形成電路並曝露出該第一金屬阻障層；

移除該第一光阻層；

形成一第一介電層於該電路上；

減少該第一介電層的厚度以暴露出該電路；

形成一第二光阻層於該第一金屬層上；

轉移一第一介層柱塞圖案至該第二光阻層並曝露出該第一金屬層；

蝕刻該第一金屬層以形成第一介層柱塞並曝露出該第一金屬阻障層；

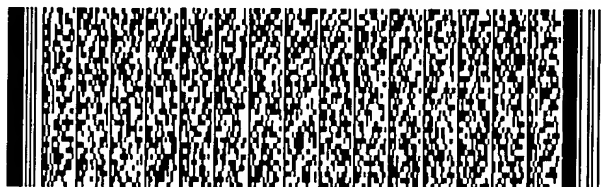
移除曝露之該第一金屬阻障層；

移除該第二光阻層；及

形成一介電樹脂於該第一介層柱塞間；及

形成一底層，其中該底層係以一第二製程形成，該第二製程包含以下步驟：

提供一位於一第四金屬層上之第二金屬阻障層與一



#### 六、申請專利範圍

位於該第二金屬阻障層上之第三金屬層；

轉移一第二介層柱塞圖案至該第三金屬層以形成第二介層柱塞並曝露出該第二金屬阻障層；

形成一第二介電層於該第二介層柱塞間；

形成一保護膜於該第二介電層與該第二介層柱塞上；

移除該第四金屬層與該第二金屬阻障層；及

移除該保護膜；及

壓合該底層與該壓合層。

2.如申請專利範圍第1項所述之基板壓合製程，其中上述之該第一介電層包含一半固化膜。

3.如申請專利範圍第1項所述之基板壓合製程，其中上述之該第一介電層的厚度係以研磨法減少。

4.如申請專利範圍第1項所述之基板壓合製程，其中上述之該第一介電層的厚度係以電漿蝕刻法減少。

5.如申請專利範圍第1項所述之基板壓合製程，其中上述之該介電樹脂包含一熱塑型樹脂。

6.如申請專利範圍第1項所述之基板壓合製程，其中上述之該介電樹脂包含一熱固型樹脂。



## 六、申請專利範圍

7. 一種基板壓合製程，該基板壓合製程包含：

形成複數壓合層，其中每一該壓合層係以一第一製程形成，該第一製程包含以下步驟：

提供一位於一第二金屬層上之第一金屬阻障層與一位於該第一金屬阻障層上之第一金屬層，

形成一第一光阻層與一第二光阻層分別於該第一金屬層與該第二金屬層上，

轉移一第一介層柱塞圖案至該第一光阻層並曝露出該第一金屬層，

轉移一電路圖案至該第二光阻層並曝露出該第二金屬層；

形成一第一導體層與一第二導體層分別於該曝露之第一金屬層與該曝露之第二金屬層上；

移除該第一光阻層與該第二光阻層；

蝕刻該第二金屬層以形成電路並曝露出該第一金屬阻障層；

形成一第一介電層於該電路上；

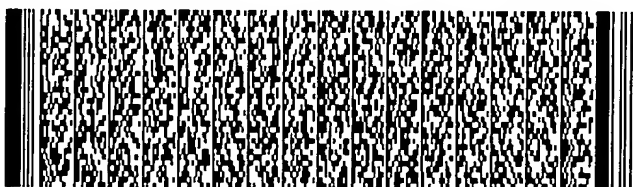
減少該第一介電層的厚度以暴露出該第二導體層；

蝕刻該第一金屬層以形成第一介層柱塞並曝露出該第一金屬阻障層；

移除曝露之該第一金屬阻障層；及

形成一介電樹脂於該第一介層柱塞間；

形成一底層，其中該底層係以一第二製程形成，該第



## 六、申請專利範圍

二製程包含以下步驟，

提供一位於一第四金屬層上之第二金屬阻障層與一位於該第二金屬阻障層上之第三金屬層；

轉移一第二介層柱塞圖案至該第三金屬層以形成第二介層柱塞並曝露出該第二金屬阻障層；

形成一第二介電層於該第二介層柱塞間；

形成一保護膜於該第二介電層與該第二介層柱塞上

；

移除該第四金屬層與該第二金屬阻障層；及

移除該保護膜；

提供一第一鐳墊開口層與一第二鐳墊開口層；及

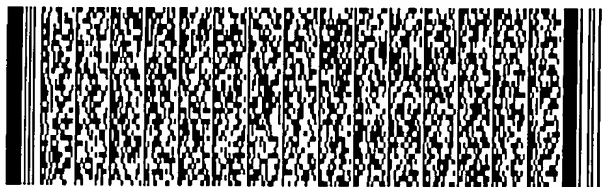
壓合該底層、該壓合層、該第一鐳墊開口層與該第二鐳墊開口層。

8.如申請專利範圍第7項所述之基板壓合製程，其中上述之該第一介電層包含一半固化膜。

9.如申請專利範圍第7項所述之基板壓合製程，其中上述之該第一介電層的厚度係以電漿蝕刻法減少。

10.如申請專利範圍第7項所述之基板壓合製程，其中上述之該介電樹脂包含一熱塑型樹脂。

11.如申請專利範圍第7項所述之基板壓合製程，其中上述



六、申請專利範圍

之該介電樹脂包含一熱固型樹脂。

12.如申請專利範圍第7項所述之基板壓合製程，其中上述之該第一介電層的厚度係以化學機械研磨法減少。

13.如申請專利範圍第7項所述之基板壓合製程，其中上述之該第一導體層與該第二導體層係以電鍍法形成。

14.一種基板壓合製程，該基板壓合製程包含：

分別形成複數壓合層，其中每一該壓合層具有第一介層柱塞、電路與一第一介電樹脂；

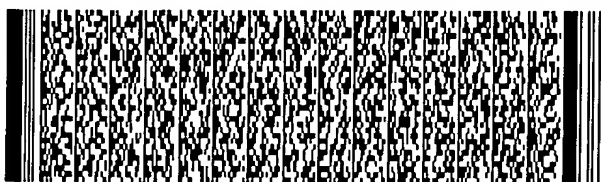
形成一底層，其中該底層具有第二介層柱塞與一第二介電樹脂；

壓合該底層與該壓合層。

15.如申請專利範圍第14項所述之基板壓合製程，其中上述之該壓合層更包含一金屬層於該介層柱塞上。

16.如申請專利範圍第14項所述之基板壓合製程，其中上述之該金屬層為鍍料或鍍金合金或合併鍍料與鍍金合金其中之一。

17.如申請專利範圍第14項所述之基板壓合製程，更包含與一散熱片結合。





## 六、申請專利範圍

18.如申請專利範圍第14項所述之基板壓合製程，其中上述之該壓合層係以下列步驟形成：

提供一位於一第一金屬層上之第一金屬阻障層；

形成一第一光阻層於該第一金屬阻障層上；

轉移一第一介層柱塞圖案至該第一光阻層並曝露出該第一金屬阻障層；

形成一第二金屬層於該曝露之第一金屬阻障層上以形成第一介層柱塞；

移除該第一光阻層；

形成一介電層於該第一介層柱塞間；

形成一保護膜於該介電層與該第一介層柱塞上；

減少該第一金屬層的厚度；

形成一第二光阻層於該第一金屬層上；

轉移一電路圖案至該第二光阻層並曝露出該第一金屬層；

蝕刻該第一金屬層與該第一金屬阻障層以形成電路並曝露出該介電層；

形成一介電樹脂於該電路間；及

移除該第二光阻層及該保護膜。

19.如申請專利範圍第14項所述之基板壓合製程，其中上述之該壓合層係以下列步驟形成：

提供一位於一第一金屬層上之金屬阻障層；



#### 六、申請專利範圍

形成一第一光阻層於該金屬阻障層上；  
轉移一電路圖案至該第一光阻層並曝露出該金屬阻障層；  
形成一第二金屬層於該曝露之金屬阻障層以形成電路；  
移除該第一光阻層；  
形成一介電層於該電路間；  
減少該介電層的厚度以暴露出該電路；  
形成一第二光阻層於該第一金屬層上；  
轉移一介層柱塞圖案至該第二光阻層並曝露出該第一金屬層；  
蝕刻該第一金屬層與該金屬阻障層以形成介層柱塞；  
移除該第二光阻層；及  
形成一介電樹脂於該介層柱塞間。

20.如申請專利範圍第14項所述之基板壓合製程，其中上述之該壓合層係以下列步驟形成：

提供一位於一感光介電層上之金屬阻障層及一位於該金屬阻障層上之光阻層；

轉移一介層柱塞圖案至該感光介電層並曝露出該金屬阻障層；

轉移一電路圖案至該光阻層並曝露出該金屬阻障層；

形成一第一金屬層於該介層柱塞圖案間以形成介層柱塞，以及一第二金屬層於該電路圖案間以形成電路；



#### 六、申請專利範圍

形成一第一表面金屬層於該第一金屬層上及一第二表面金屬層於該第二金屬層上；

移除該光阻層以曝露出該金屬阻障層；

蝕刻該曝露之金屬阻障層；及

形成一介電樹脂於該介層柱塞間。

21.如申請專利範圍第14項所述之基板壓合製程，其中上述之該壓合層係以下列步驟形成：

提供一位於一熱介電層上之金屬阻障層及一位於該金屬阻障層上之光阻層；

以雷射鑿孔轉移一介層柱塞圖案至該熱介電層並曝露出該金屬阻障層；

轉移一電路圖案至該光阻層並曝露出該金屬阻障層；

形成一第一金屬層於該介層柱塞圖案間以形成介層柱塞，以及一第二金屬層於該電路圖案間以形成電路；

形成一第一表面金屬層於該第一金屬層上及一第二表面金屬層於該第二金屬層上；

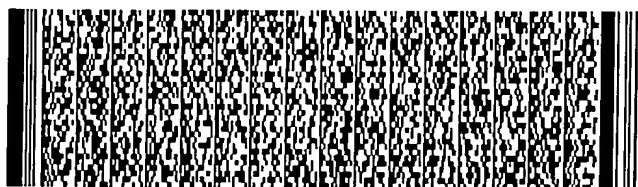
移除該光阻層以曝露出該金屬阻障層；

蝕刻該曝露之金屬阻障層；及

形成一介電樹脂於該介層柱塞間。

22.一種封裝壓合基板，該封裝壓合基板包含：

複數壓合層，每一該壓合層具有複數第一介層柱塞、一電路與一第一介電材料，該複數壓合層堆疊壓合使得相



#### 六、申請專利範圍

鄰兩該壓合層之該第一介層柱塞與該電路完成電性連接，而相鄰兩該壓合層之該第一介電材料則結合；及

一底層，該底層具有複數第二介層柱塞與一第二介電材料，該底層之該第二介層柱塞與該電路完成電性連接，而該第二介電材料與該第一介電材料結合。

23.如申請專利範圍第22項所述之封裝壓合基板，更包含兩鐸墊開口層分別形成於該壓合層與該底層上。

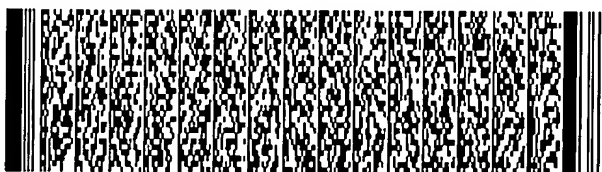
24.如申請專利範圍第22項所述之封裝壓合基板，其中上述之該第一介層柱塞與該第二介層柱塞包含銅柱塞。

25.如申請專利範圍第22項所述之封裝壓合基板，其中上述之該電路包含銅電路。

26.如申請專利範圍第22項所述之封裝壓合基板，其中上述之該壓合層更包含一金屬層於該介層柱塞上。

27.如申請專利範圍第26項所述之封裝壓合基板，其中上述之該金屬層為鐸料或鎳金合金或合併鐸料與鎳金合金其中之一。

28.如申請專利範圍第22項所述之封裝壓合基板，更包含一散熱片。



#### 六、申請專利範圍

29.如申請專利範圍第22項所述之封裝壓合基板，其中上述之該第一介電材料與該第二介電材料包含熱塑型樹脂或熱固型樹脂其中之一。

30.一種封裝壓合基板，該封裝壓合基板包含：

至少一核心基板，該核心基板具有一第一電路連接該核心基板的一第一面與一第二面；

複數壓合層，每一該壓合層具有複數介層柱塞、一第二電路與一介電材料，該複數壓合層堆疊壓合於該核心基板的表面上，以完成電性與機械性的連接。

31.如申請專利範圍第30項所述之封裝壓合基板，其中上述之該壓合層更包含一金屬層於該介層柱塞上。

32.如申請專利範圍第31項所述之封裝壓合基板，其中上述之該金屬層為鍍料或鎳金合金或合併鍍料與鎳金合金其中之一。

33.如申請專利範圍第30項所述之封裝壓合基板，更包含一散熱片。

34.如申請專利範圍第30項所述之封裝壓合基板，其中上述之該壓合層堆疊壓合於該核心基板之該第一面與該第二



六、申請專利範圍

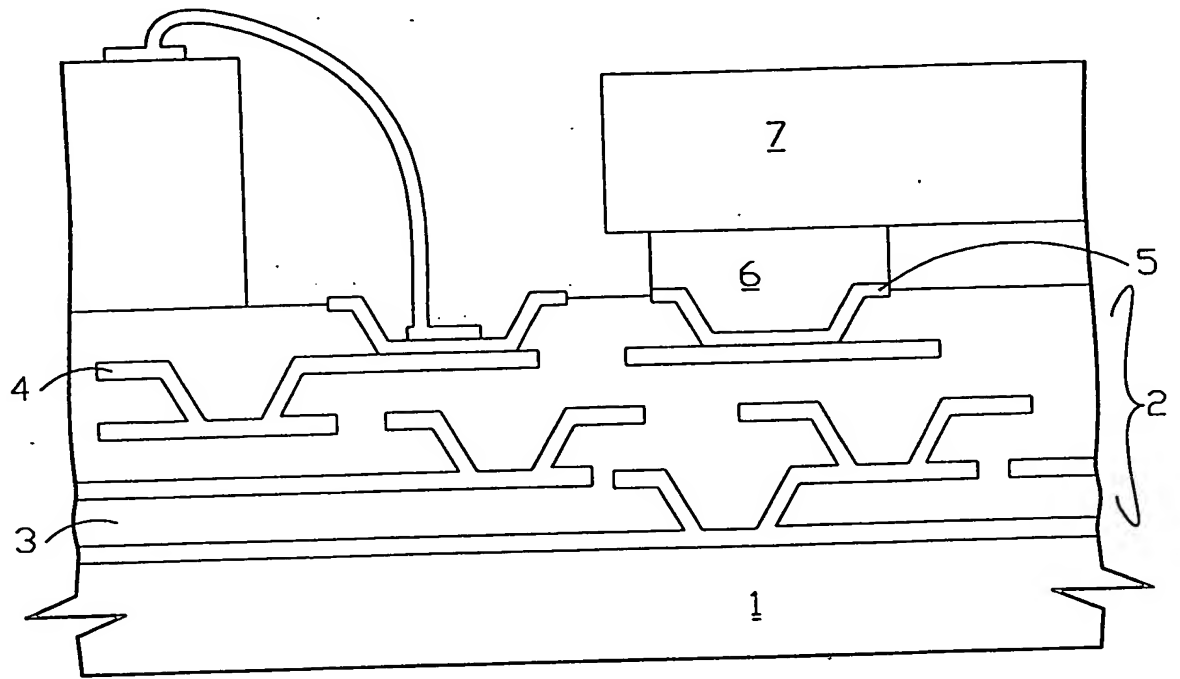
面上。

35.如申請專利範圍第30項所述之封裝壓合基板，其中上述之該壓合層堆疊壓合於該核心基板之該第一面或該第二面其中之一上。

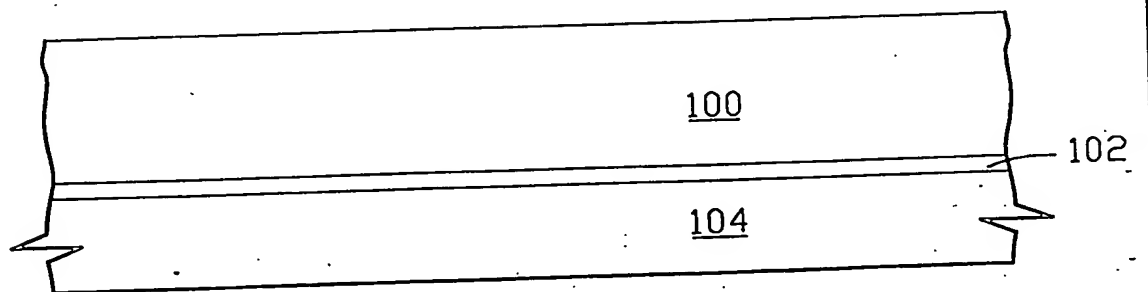
36.如申請專利範圍第30項所述之封裝壓合基板，其中上述之該介電材料包含熱塑型樹脂或熱固型樹脂其中之一。



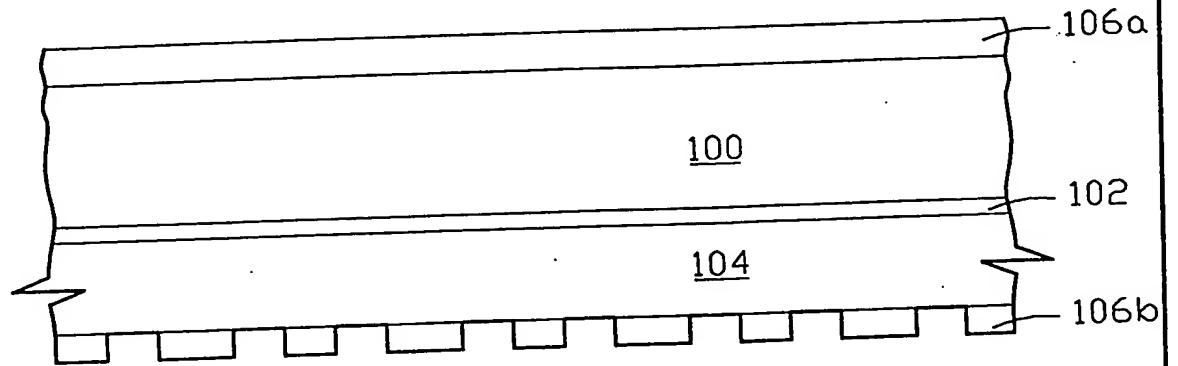
圖式



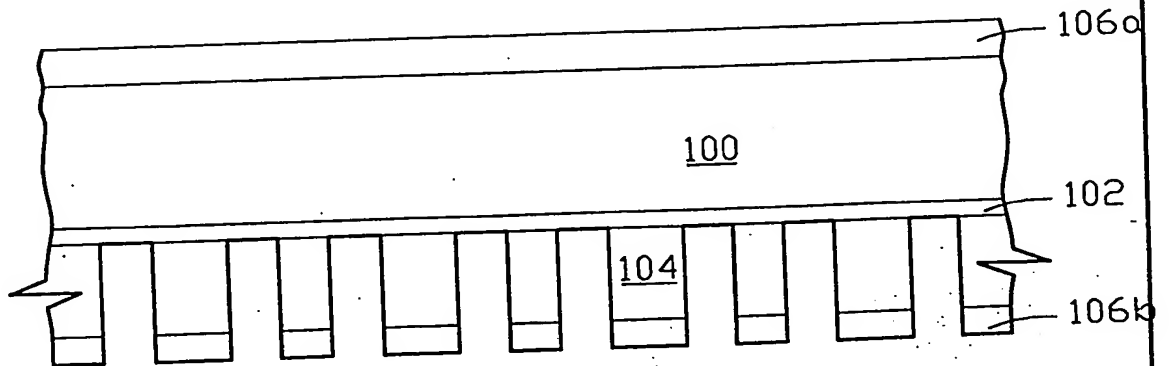
第一圖



第二A圖

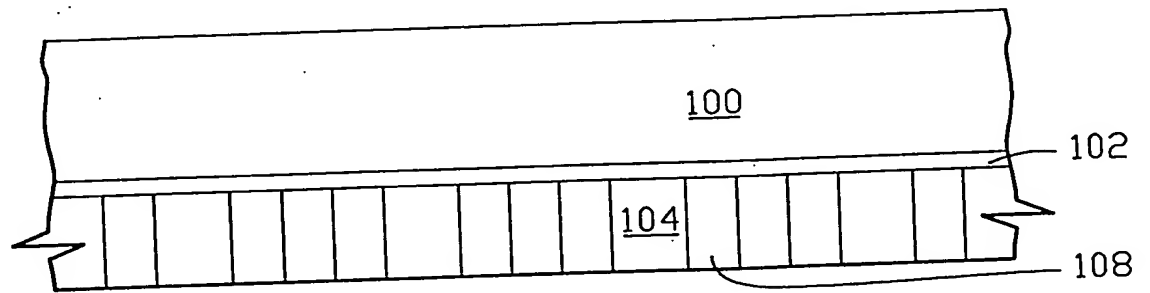


第二B圖

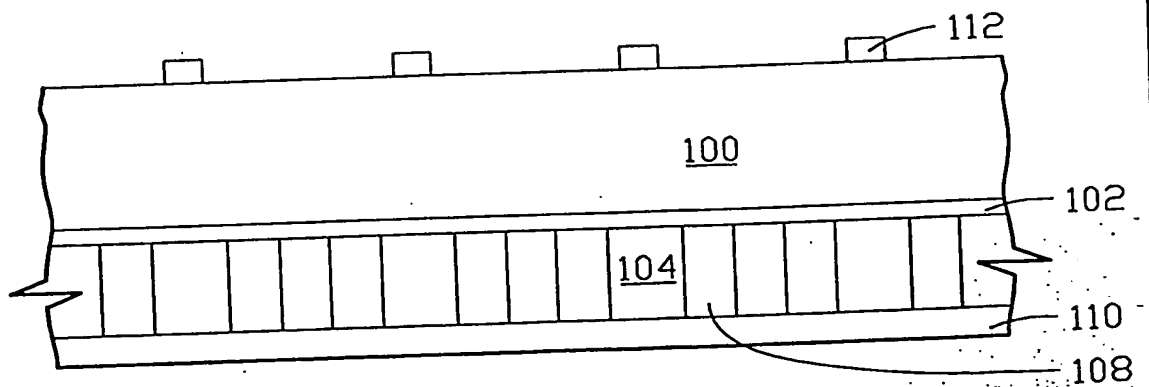


第二C圖

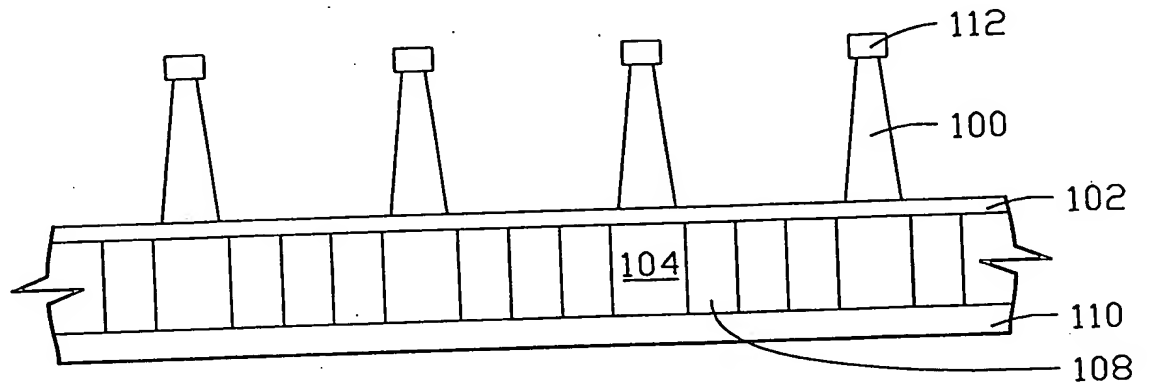




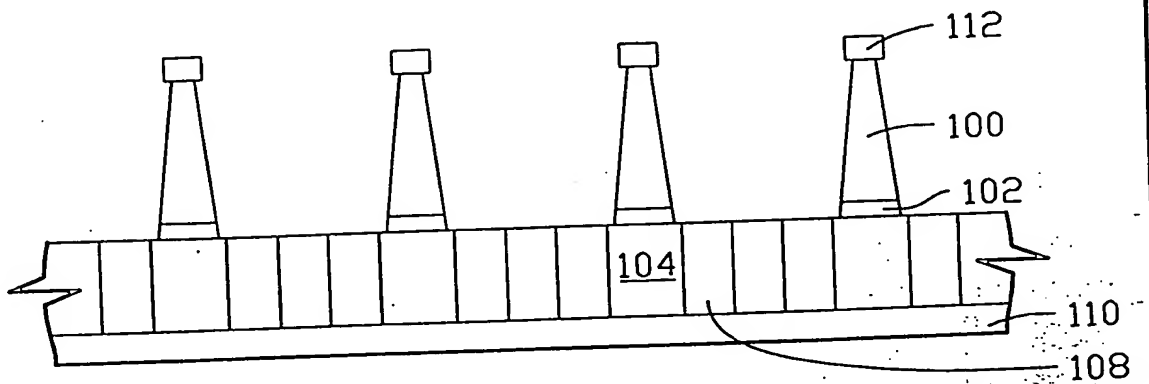
第二D圖



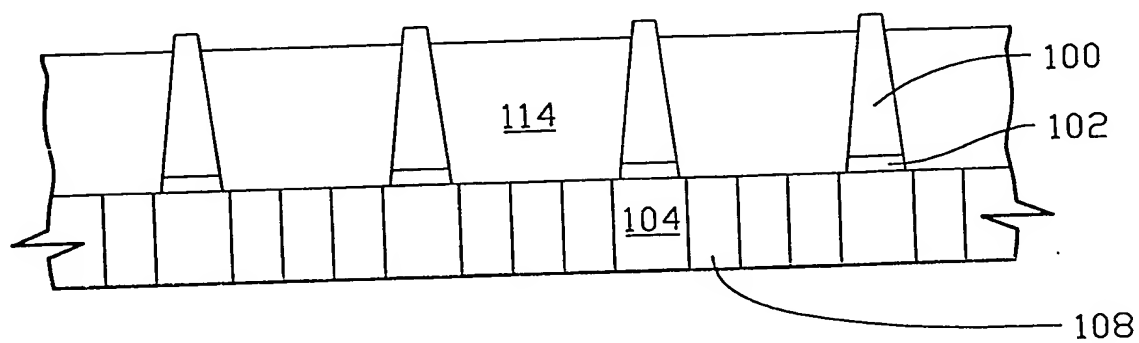
第二E圖



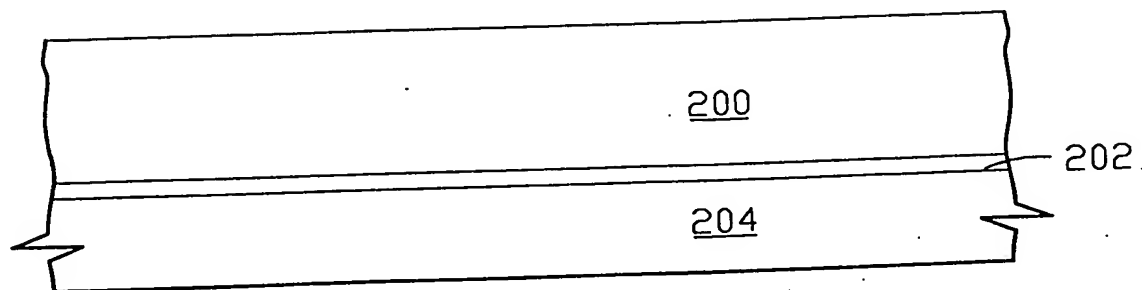
第二F圖



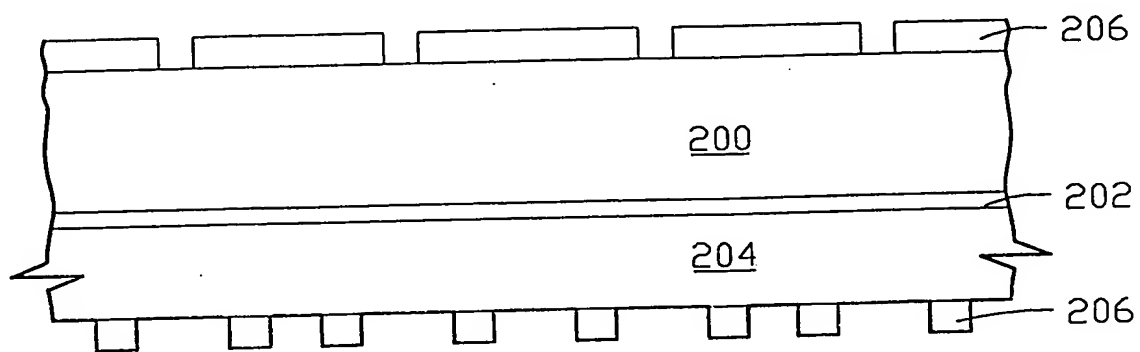
第二G圖



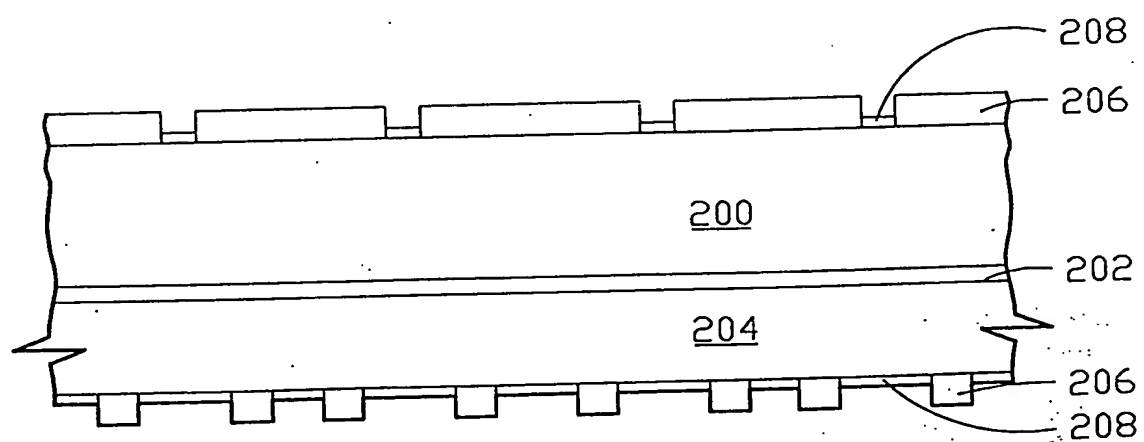
第二H圖



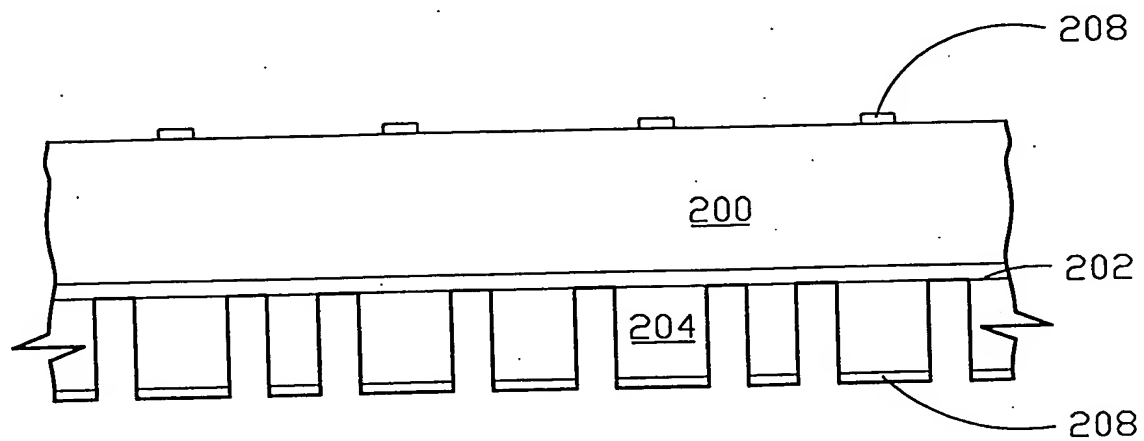
第三A圖



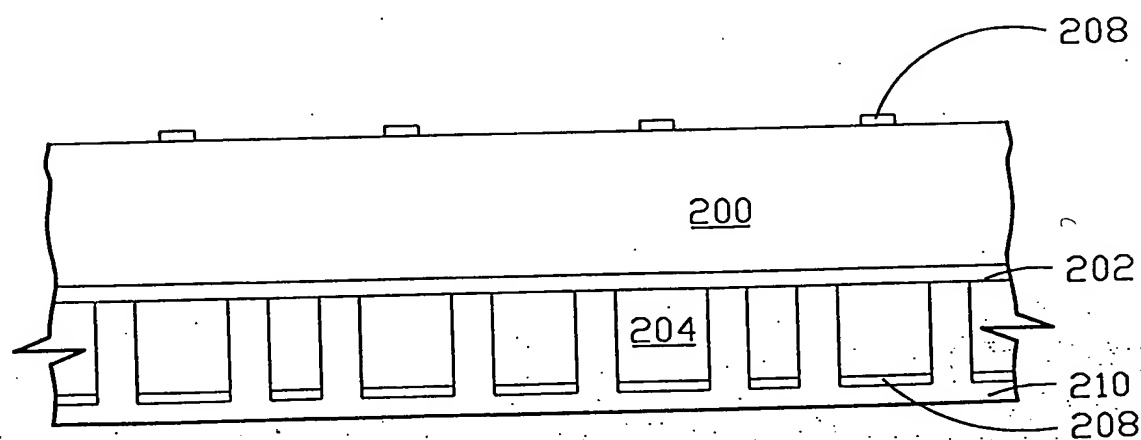
第三B圖



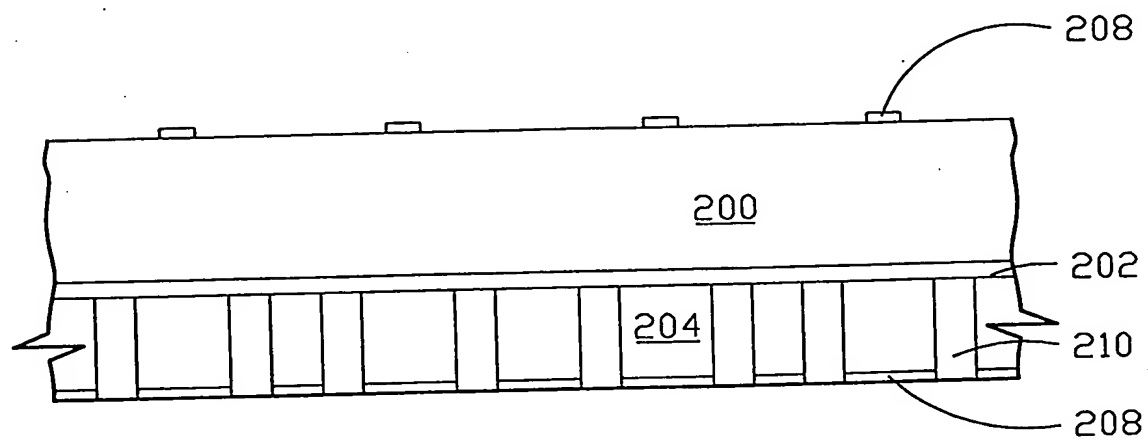
第三C圖



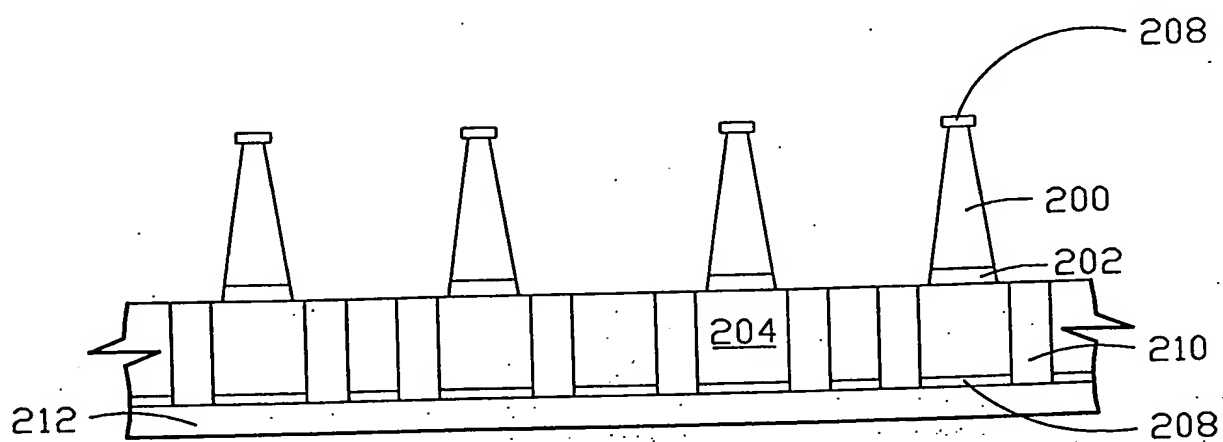
第三D圖



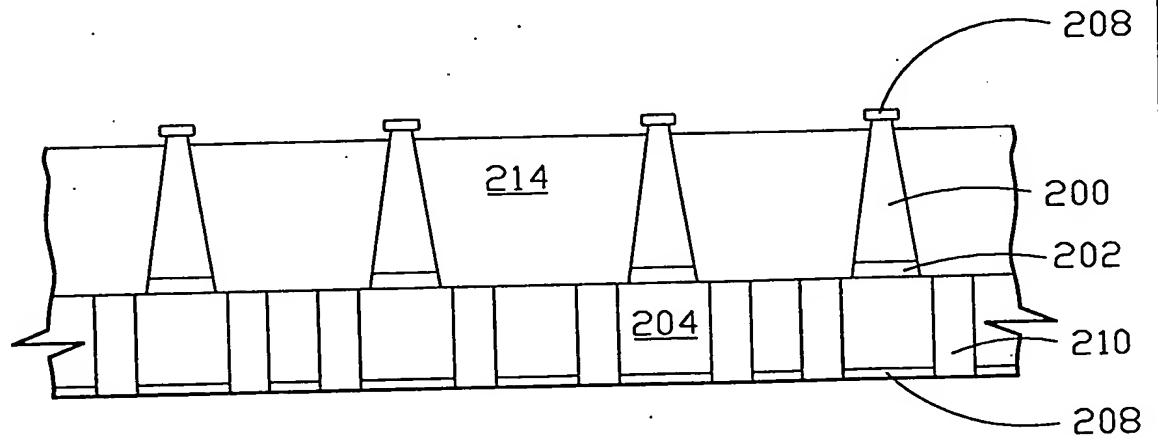
第三E圖



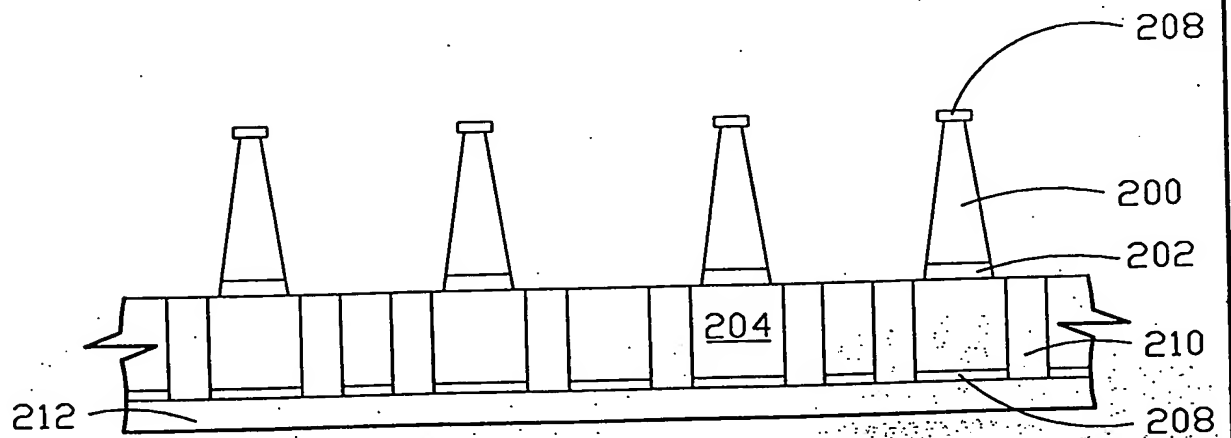
第三F圖



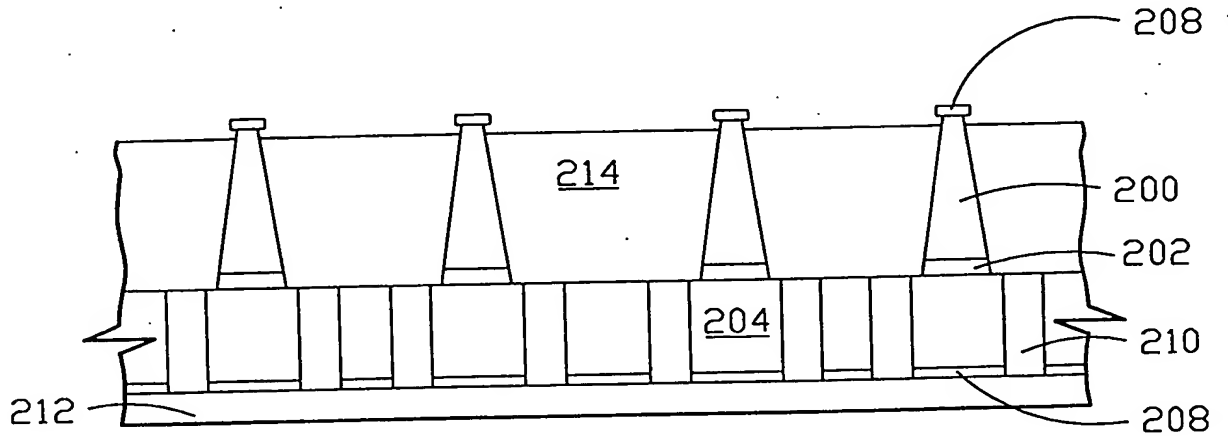
第三G圖



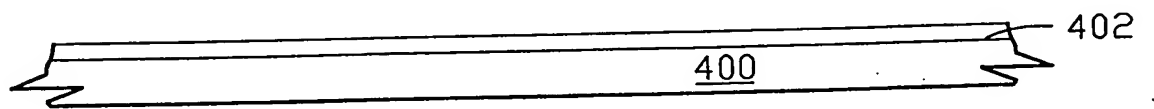
第三H圖



第三I圖

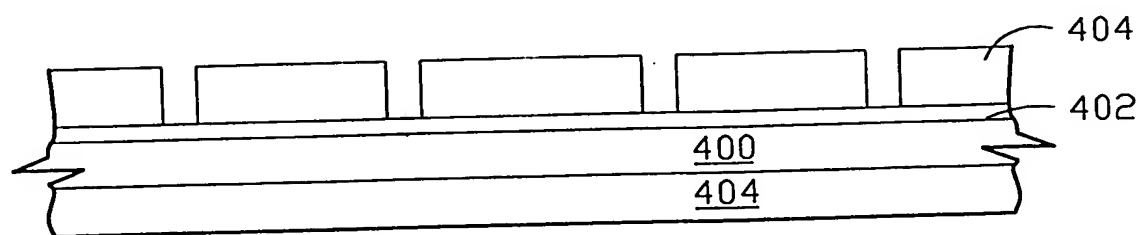


第三J圖

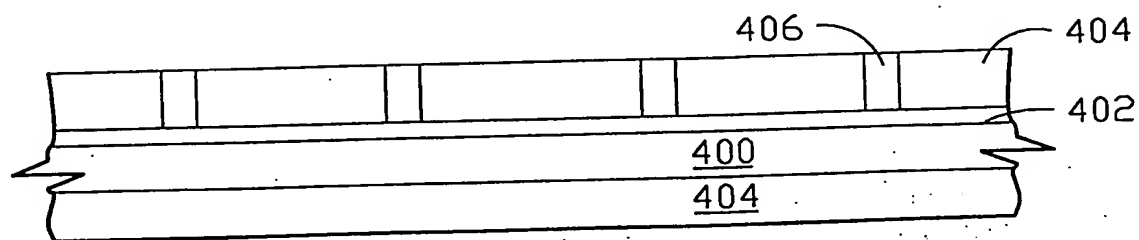


第四A圖

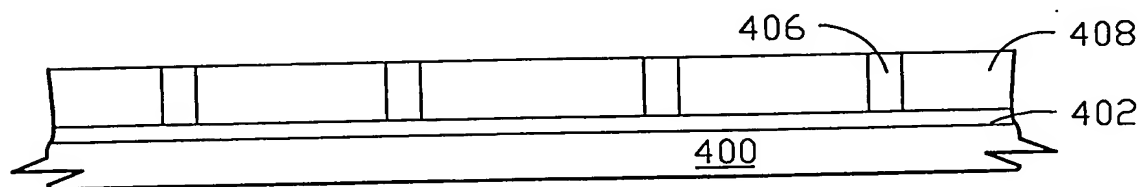




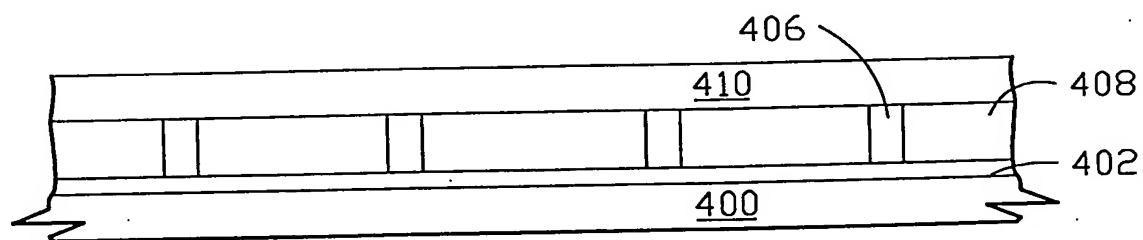
第四B圖



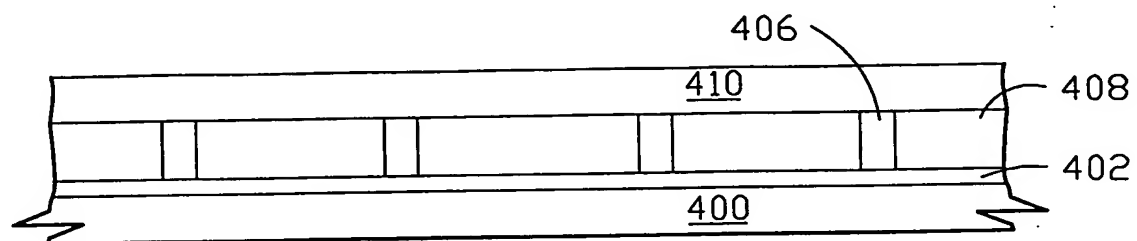
第四C圖



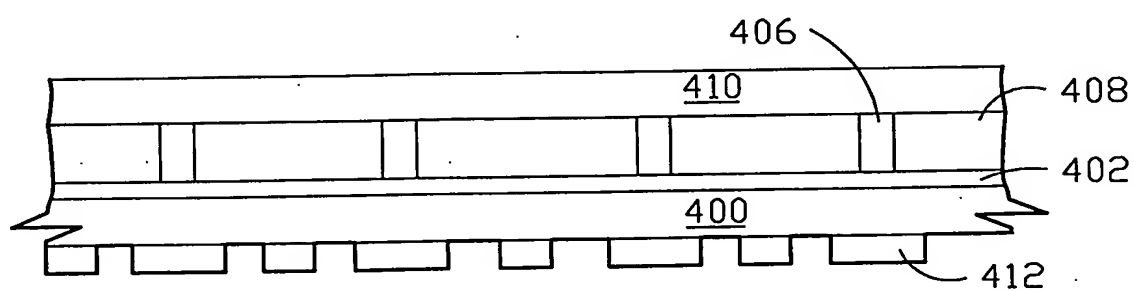
第四D圖



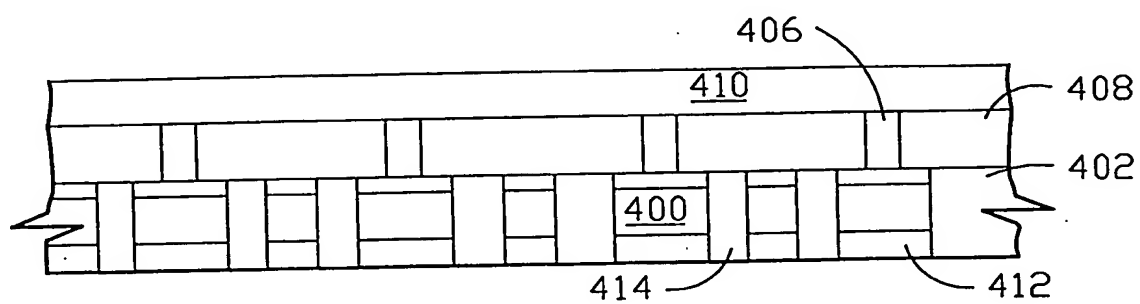
第四E圖



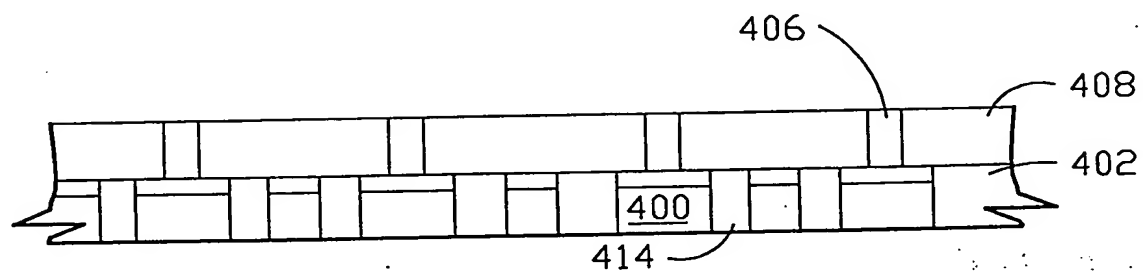
第四F圖



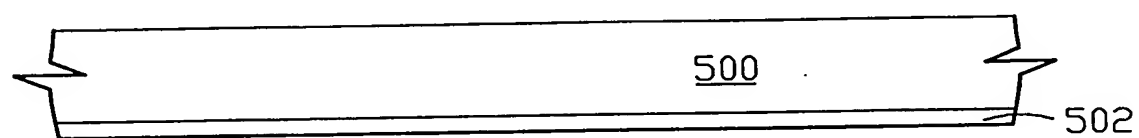
第四G圖



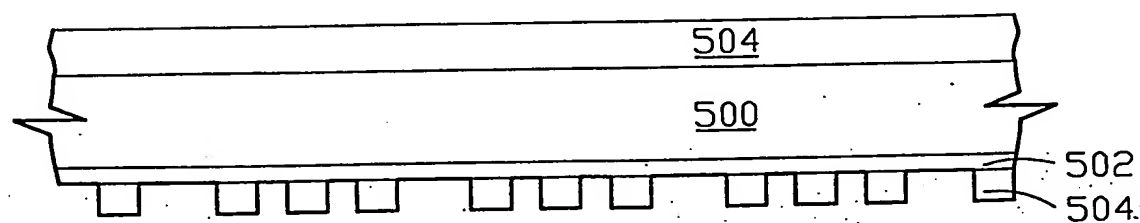
第四H圖



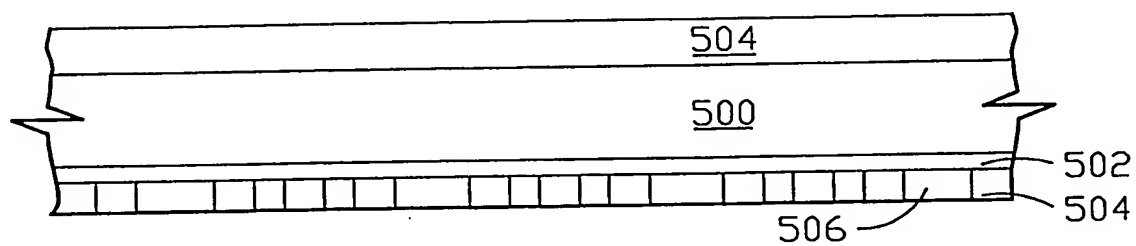
第四I圖



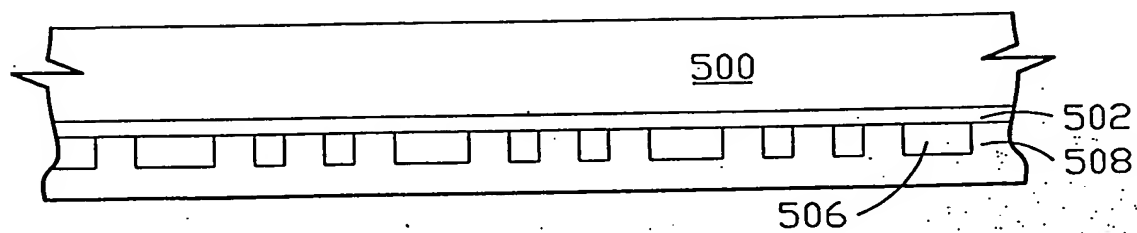
第五A圖



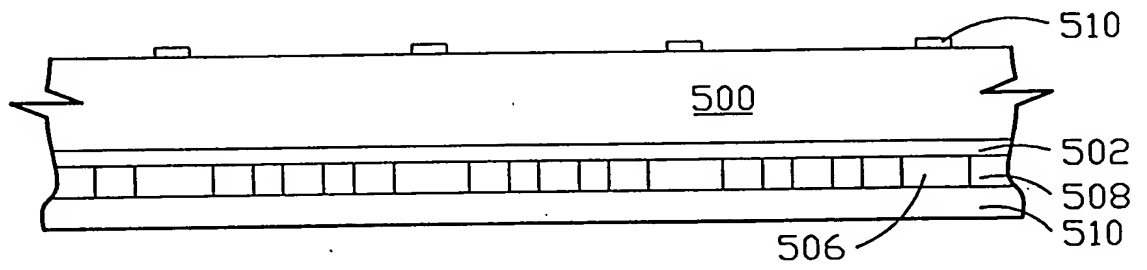
第五B圖



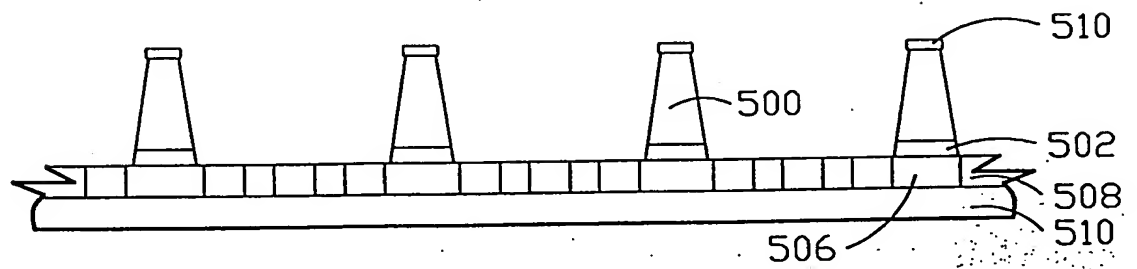
第五C圖



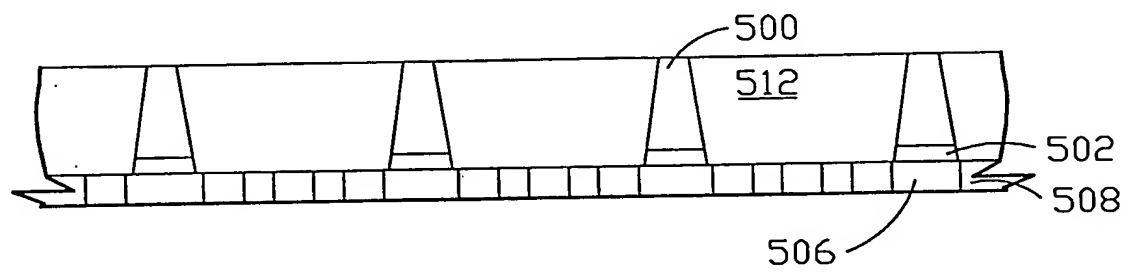
第五D圖



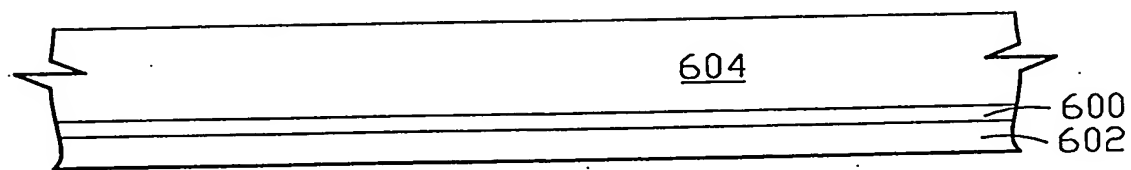
第五E圖



第五F圖

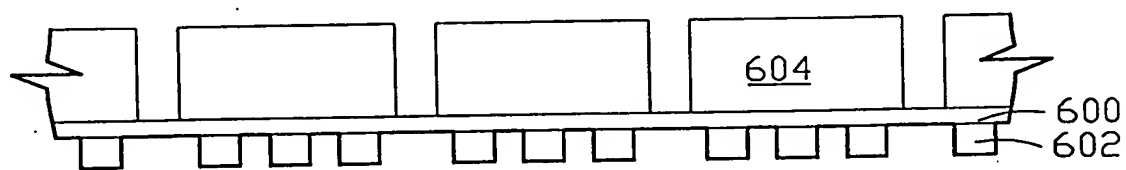


第五G圖

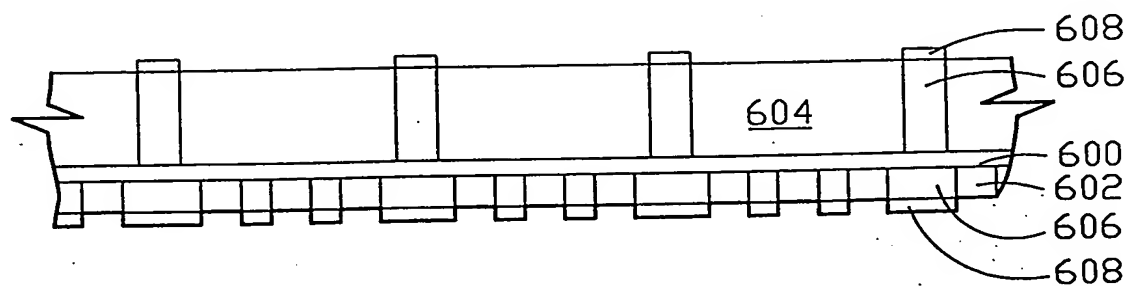


第六A圖

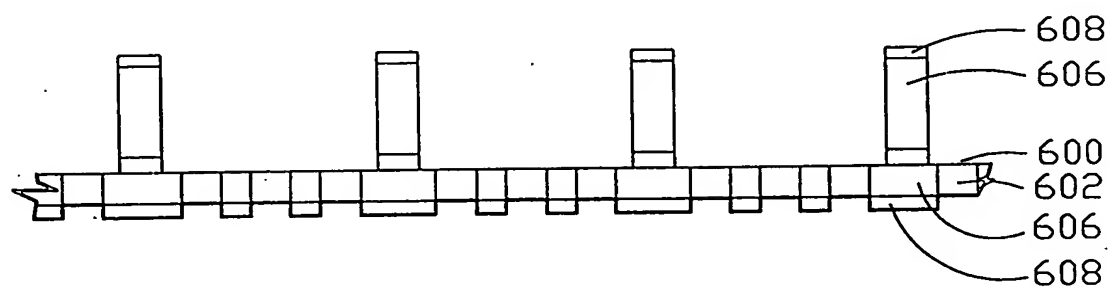




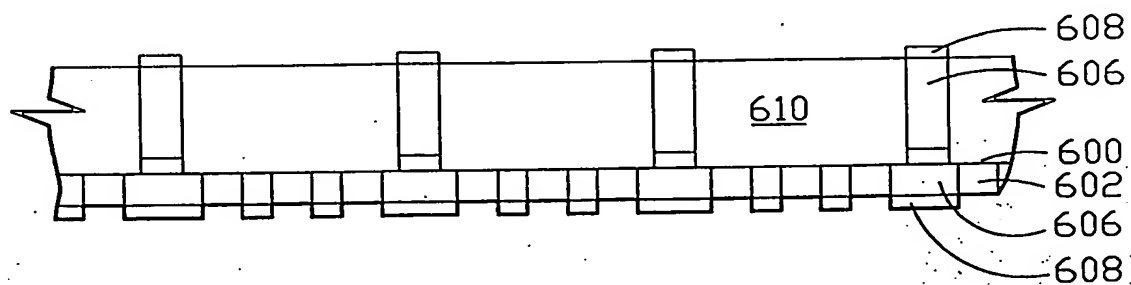
第六B圖



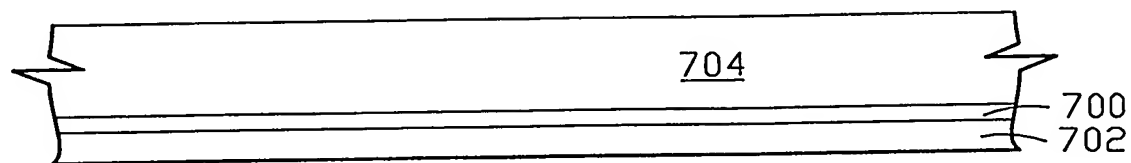
第六C圖



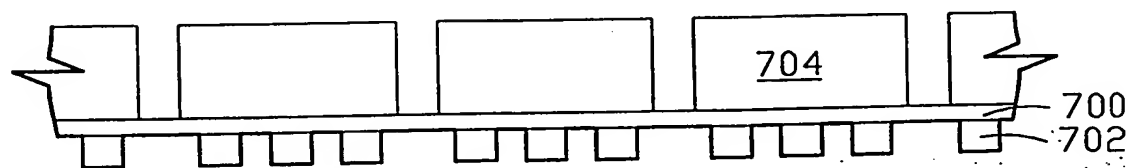
第六D圖



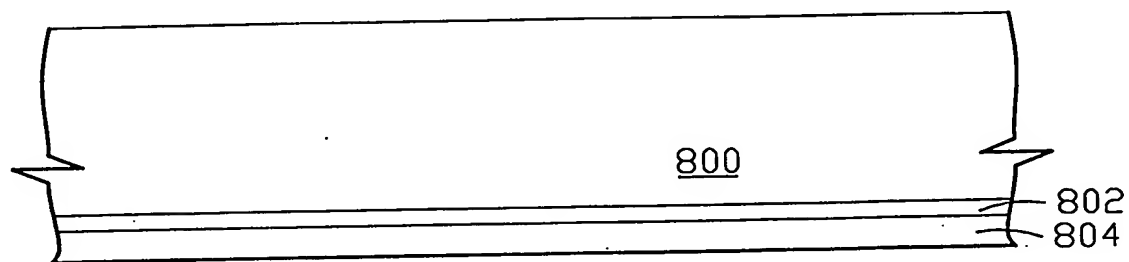
第六E圖



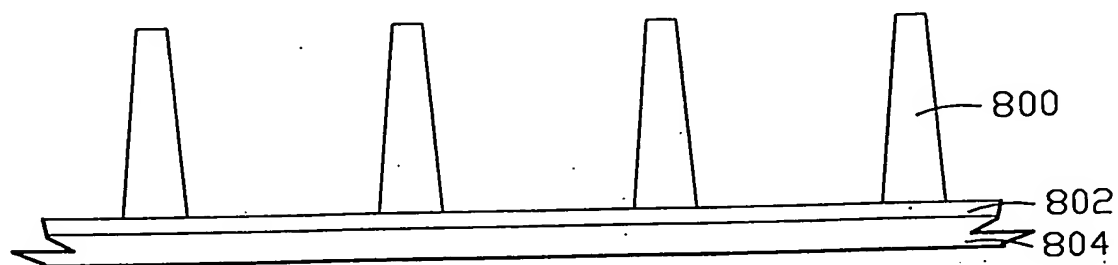
第七A圖



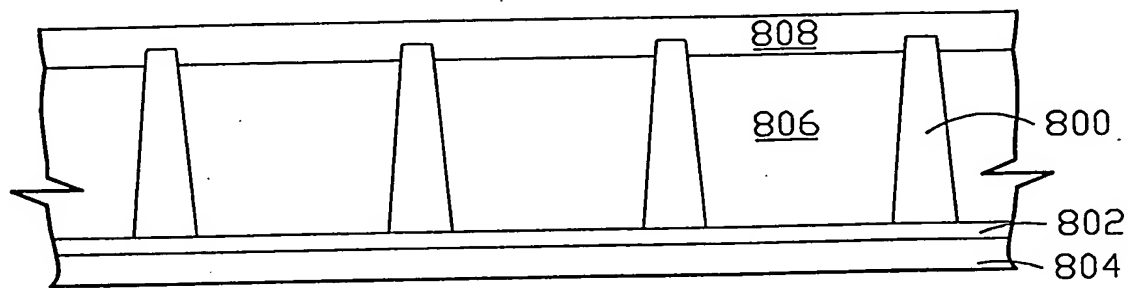
第七B圖



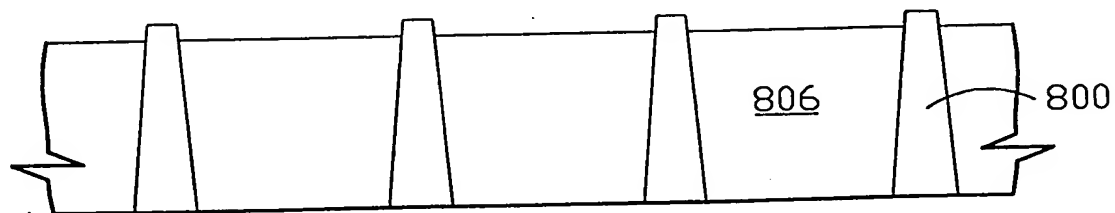
第八A圖



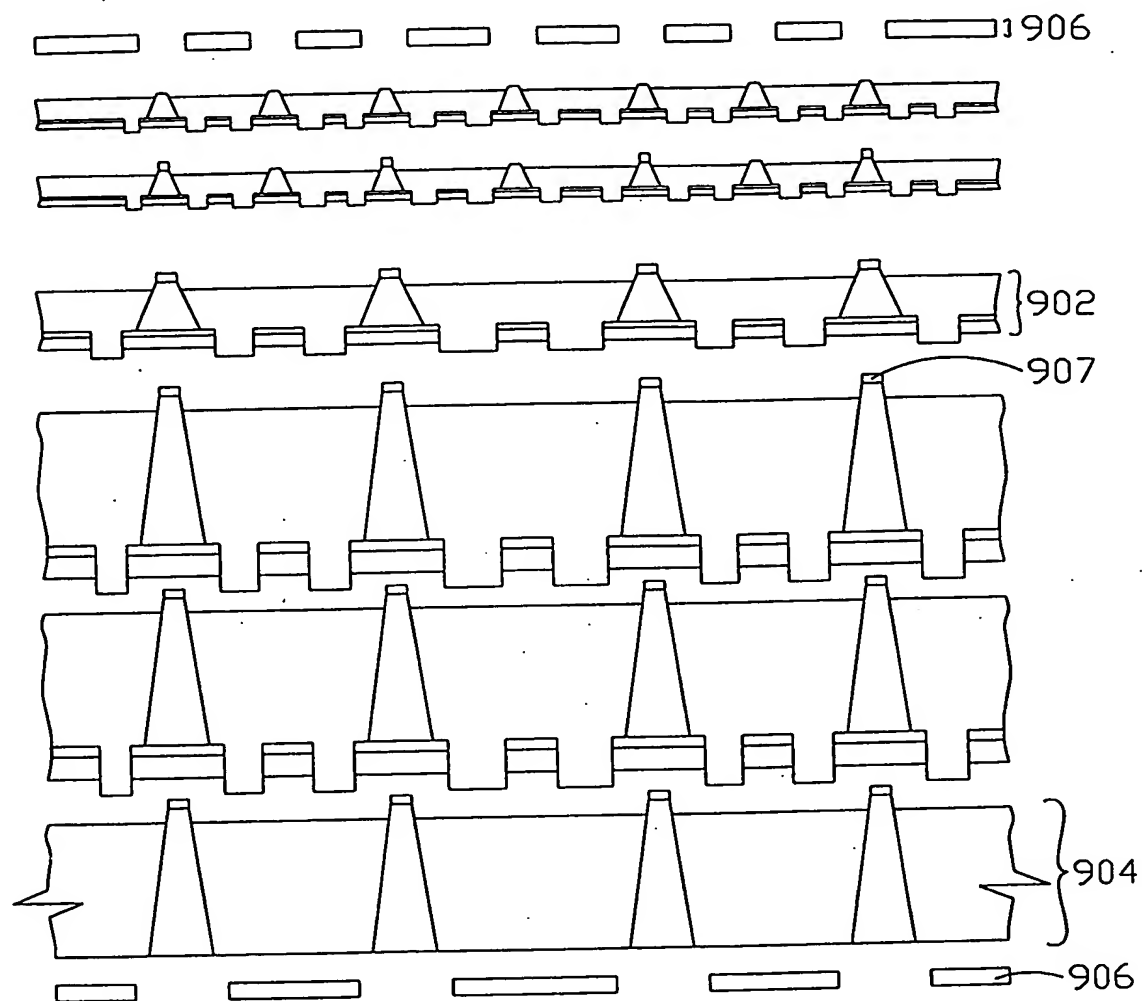
第八B圖



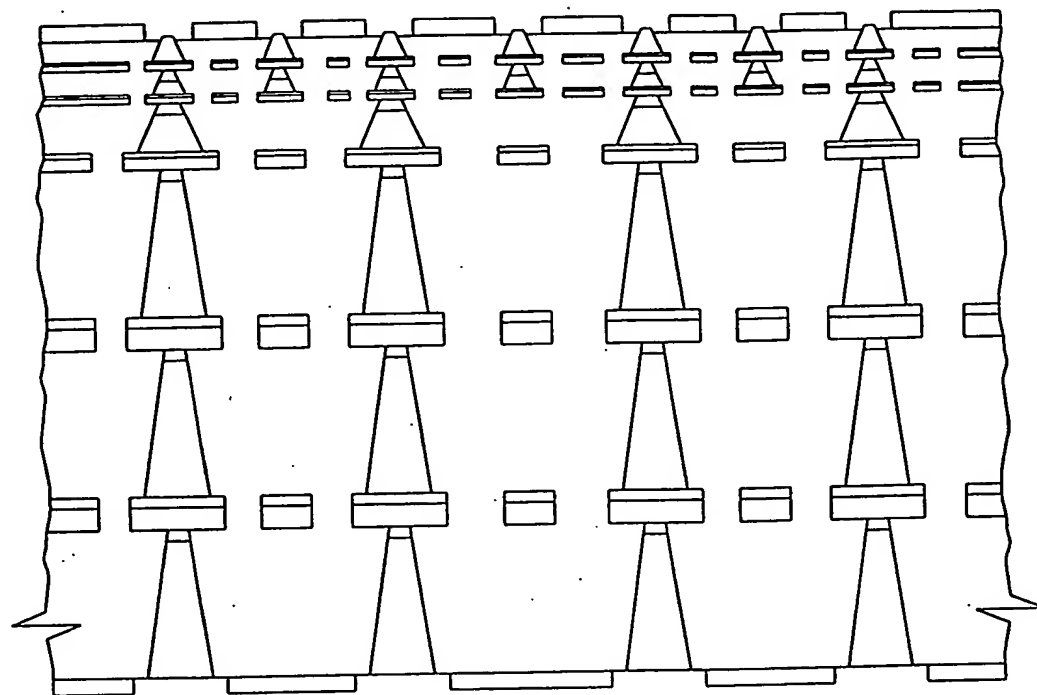
第八C圖



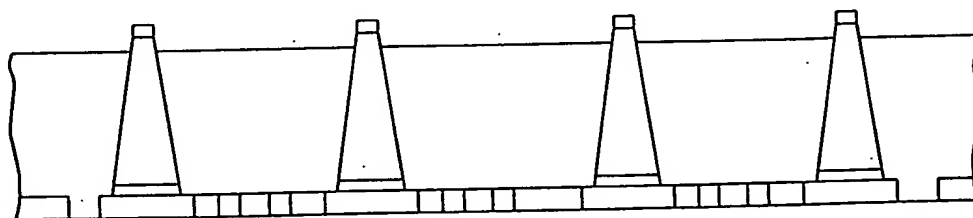
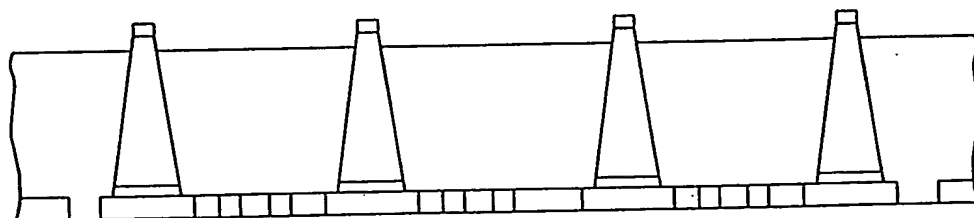
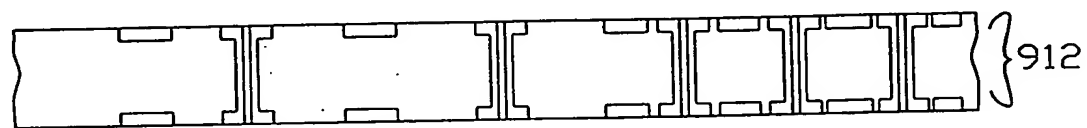
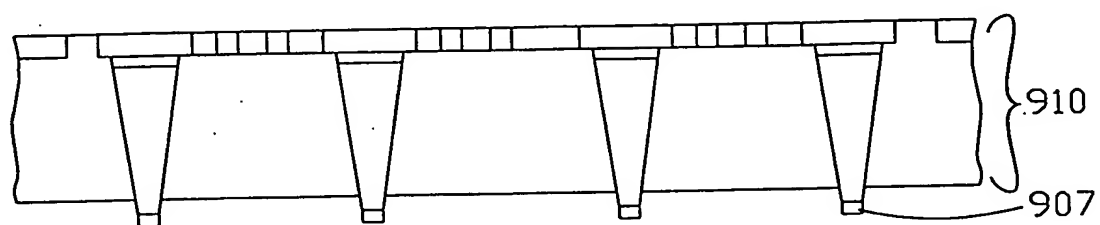
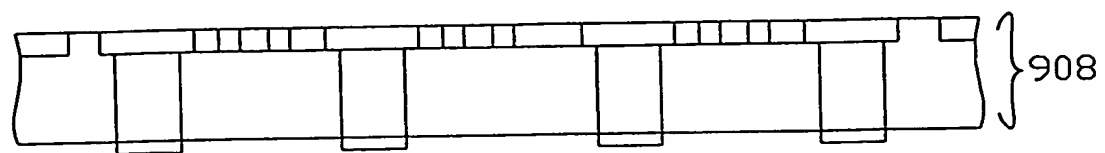
第八D圖



第九A圖



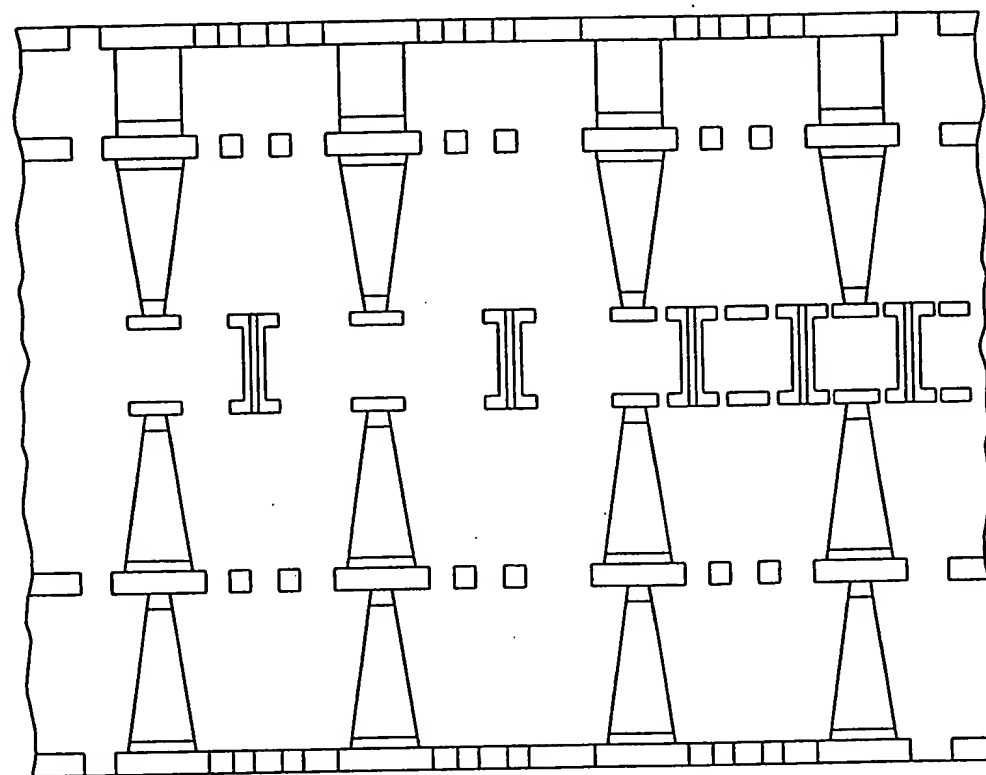
第九B圖



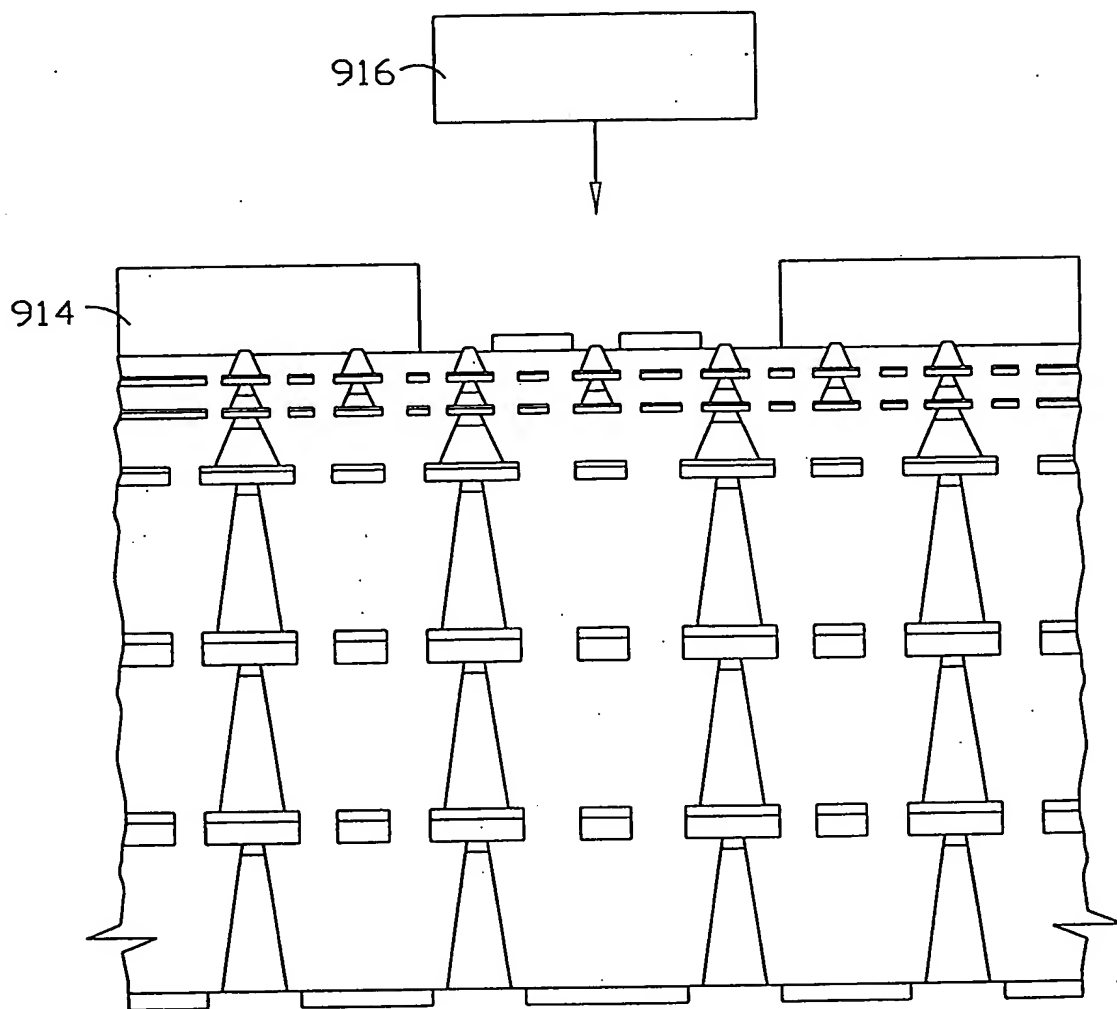
第九C圖




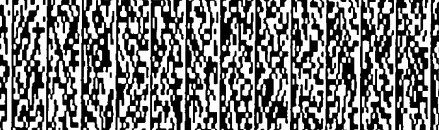



圖式




第九D圖



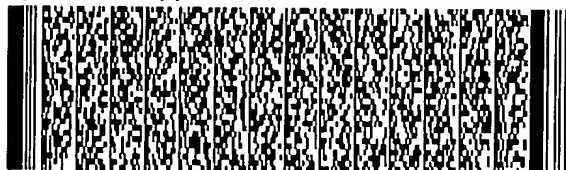
第九E圖

[illegible][illegible]

100



第 12/36 頁



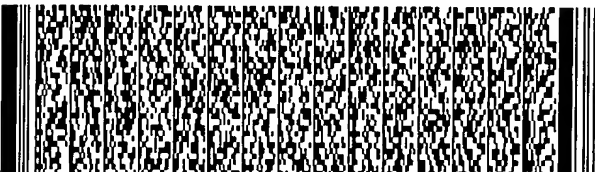
第 13/36 頁



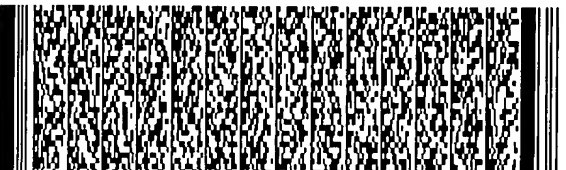
第 14/36 頁



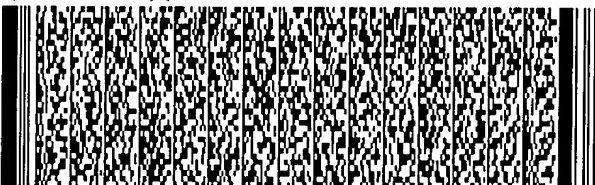
第 15/36 頁



第 16/36 頁



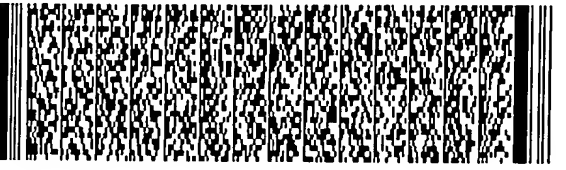
第 17/36 頁



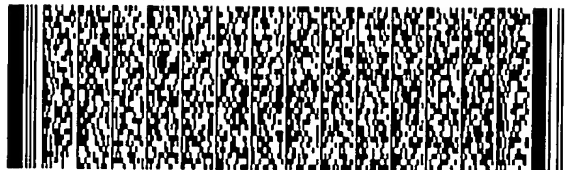
第 19/36 頁



第 21/36 頁



第 12/36 頁



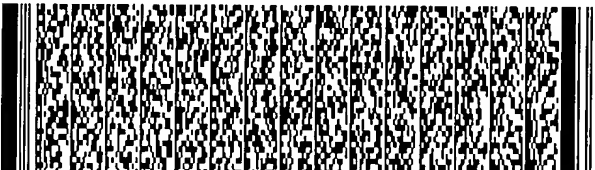
第 13/36 頁



第 14/36 頁



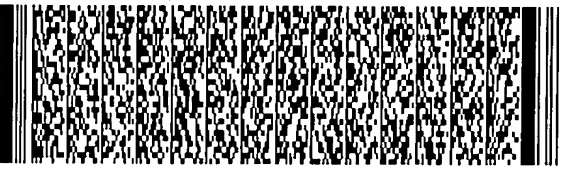
第 15/36 頁



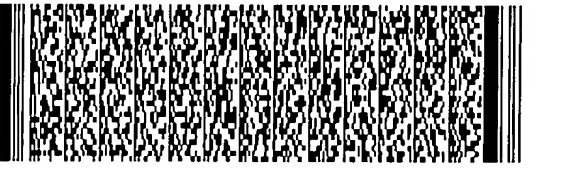
第 16/36 頁



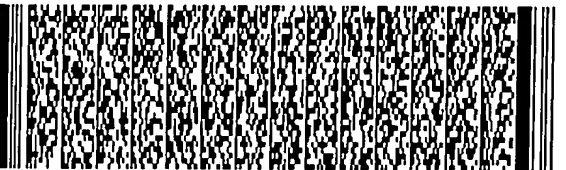
第 18/36 頁



第 20/36 頁



第 22/36 頁



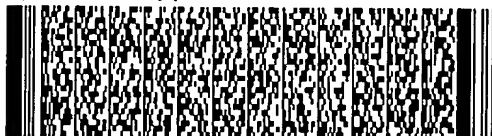
第 23/36 頁



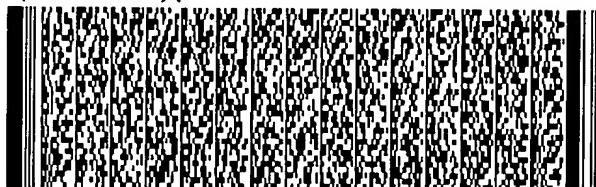
第 24/36 頁



第 25/36 頁



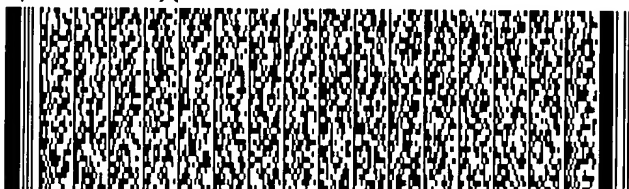
第 26/36 頁



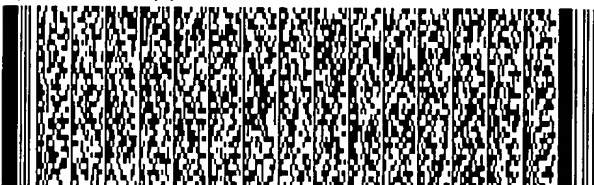
第 27/36 頁



第 28/36 頁



第 29/36 頁



第 30/36 頁



第 31/36 頁



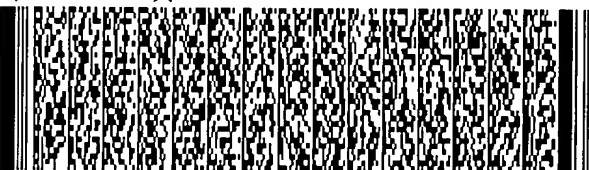
第 32/36 頁



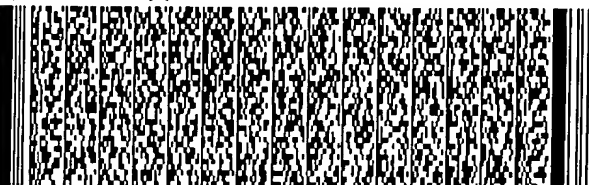
第 33/36 頁



第 34/36 頁



第 35/36 頁



第 36/36 頁

